МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное учреждение высшего образования

«ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ СИСТЕМ
УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ»
(ТУСУР)

УТВЕРЖДАЮ
Директор департамента образования
_____ П. Е. Троян
«___» _____ 20__ г.

РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ

Программирование логических интегральных схем

Уровень образования: **высшее образование - бакалавриат**
Направление подготовки / специальность: **11.03.02 Инфокоммуникационные технологии и системы связи**
Направленность (профиль) / специализация: **Системы мобильной связи**
Форма обучения: **очная**
Факультет: **РТФ, Радиотехнический факультет**
Кафедра: **РТС, Кафедра радиотехнических систем**
Курс: **3**
Семестр: **6**
Учебный план набора 2018 года

Распределение рабочего времени

№	Виды учебной деятельности	6 семестр	Всего	Единицы
1	Лекции	34	34	часов
2	Практические занятия	34	34	часов
3	Лабораторные работы	34	34	часов
4	Всего аудиторных занятий	102	102	часов
5	Самостоятельная работа	114	114	часов
6	Всего (без экзамена)	216	216	часов
7	Общая трудоемкость	216	216	часов
		6.0	6.0	З.Е.

Дифференцированный зачет: 6 семестр

Томск 2018

Документ подписан простой электронной подписью
Информация о владельце:
ФИО: Шелупанов А.А.
Должность: Ректор
Дата подписания: 20.12.2017
Уникальный программный ключ:
c53e145e-8b20-45aa-9347-a5e4dbb90e8d

Согласована на портале № 36464

Рассмотрена и одобрена на заседании кафедры
протокол № 15 от «28» 6 2018 г.

ЛИСТ СОГЛАСОВАНИЯ

Рабочая программа дисциплины составлена с учетом требований федерального государственного образовательного стандарта высшего образования (ФГОС ВО) по направлению подготовки (специальности) 11.03.02 Инфокоммуникационные технологии и системы связи, утвержденного 06.03.2015 года, рассмотрена и одобрена на заседании кафедры ТОР «___» _____ 20__ года, протокол №_____.

Разработчик:

доцент каф. ТОР	_____	А. Ю. Абраменко
Заведующий обеспечивающей каф. ТОР	_____	А. А. Гельцер

Рабочая программа дисциплины согласована с факультетом и выпускающей кафедрой:

Декан РТФ	_____	К. Ю. Попова
Заведующий выпускающей каф. РТС	_____	С. В. Мелихов

Эксперты:

доцент каф. ТОР	_____	С. И. Богомолов
Доцент кафедры радиотехнических систем (РТС)	_____	В. А. Громов

Согласована на портале № 36464

1. Цели и задачи дисциплины

1.1. Цели дисциплины

Изучение архитектуры и схемотехники современных программируемых логических интегральных схем, принципов проектирования цифровых схем с использованием ПЛИС, методов и средств отладки таких схем, языка проектирования цифровых устройств Verilog HDL.

1.2. Задачи дисциплины

– Приобретение студентами знаний в области проектирования цифровых схем с использованием ПЛИС.

– Приобретение умений проектировать телекоммуникационные системы на ПЛИС с использованием языка описания цифровых устройств Verilog HDL.

– Овладение практическими навыками в области разработки и отладки описаний цифровых устройств на языке Verilog HDL на основе программного обеспечения зарубежных фирм н отладочных модулей с использованием ПЛИС

2. Место дисциплины в структуре ОПОП

Дисциплина «Программирование логических интегральных схем» (Б1.В.ДВ.3.1) относится к блоку 1 (вариативная часть).

Предшествующими дисциплинами, формирующими начальные знания, являются: Цифровая обработка сигналов.

Последующими дисциплинами являются: Защита выпускной квалификационной работы, включая подготовку к процедуре защиты и процедуру защиты, Преддипломная практика.

3. Требования к результатам освоения дисциплины

Процесс изучения дисциплины направлен на формирование следующих компетенций:

– ПК-15 умением разрабатывать и оформлять различную проектную и техническую документацию;

– ПК-19 готовностью к организации работ по практическому использованию и внедрению результатов исследований;

В результате изучения дисциплины обучающийся должен:

– **знать** принципы, основные алгоритмы и устройства цифровой обработки сигналов; элементную базу и схемотехнику цифровых и микропроцессорных устройств электросвязи.

– **уметь** проводить анализ и синтез логических устройств, синтезировать с использованием современной микроэлектронной элементной базы цифровые устройства.

– **владеть** навыками практической работы с лабораторными макетами аналоговых и цифровых устройств, методами компьютерного моделирования физических процессов при передаче информации; теоретическими и экспериментальными методами исследования с целью освоения новых перспективных технологий обработки цифровых сигналов.

4. Объем дисциплины и виды учебной работы

Общая трудоемкость дисциплины составляет 6.0 зачетных единицы и представлена в таблице 4.1.

Таблица 4.1 – Трудоемкость дисциплины

Виды учебной деятельности	Всего часов	Семестры
		6 семестр
Аудиторные занятия (всего)	102	102
Лекции	34	34
Практические занятия	34	34
Лабораторные работы	34	34
Самостоятельная работа (всего)	114	114
Подготовка к контрольным работам	16	16
Оформление отчетов по лабораторным работам	14	14

Согласована на портале № 36464

Подготовка к лабораторным работам	2	2
Проработка лекционного материала	26	26
Подготовка к практическим занятиям, семинарам	12	12
Всего (без экзамена)	216	216
Общая трудоемкость, ч	216	216
Зачетные Единицы	6.0	6.0

5. Содержание дисциплины

5.1. Разделы дисциплины и виды занятий

Разделы дисциплины и виды занятий приведены в таблице 5.1.

Таблица 5.1 – Разделы дисциплины и виды занятий

Названия разделов дисциплины	Лек., ч	Прак. зан., ч	Лаб. раб., ч	Сам. раб., ч	Всего часов (без экзамена)	Формируемые компетенции
6 семестр						
1 Общие сведения об интегральных схемах с программируемой структурой (ИСПС).	2	4	4	8	18	ПК-15, ПК-19
2 Методология и маршрут проектирования на ПЛИС.	2	0	0	12	14	ПК-15, ПК-19
3 Структура САПР для проектирования на ПЛИС.	2	0	4	10	16	ПК-15, ПК-19
4 Языки описания цифровых устройств (Hardware Description Languages - HDL).	14	22	14	46	96	ПК-15, ПК-19
5 Функциональная верификация HDL-описаний.	8	8	6	24	46	ПК-15, ПК-19
6 Синтезируемость HDL-описаний.	2	0	0	6	8	ПК-15, ПК-19
7 Архитектура и схемотехника ПЛИС.	4	0	6	8	18	ПК-15, ПК-19
Итого за семестр	34	34	34	114	172	
Итого	34	34	34	70	172	

5.2. Содержание разделов дисциплины (по лекциям)

Содержание разделов дисциплин (по лекциям) приведено в таблице 5.2.

Таблица 5.2 – Содержание разделов дисциплин (по лекциям)

Названия разделов	Содержание разделов дисциплины (по лекциям)	Трудоемкость, ч	Формируемые компетенции
6 семестр			
1 Общие сведения об интегральных схемах с программируемой	Общие сведения об интегральных схемах с программируемой структурой (ИСПС). Классификация цифровых микросхем.	2	ПК-15, ПК-19

Согласована на портале № 36464

структурой (ИСПС).	Итого	2	
2 Методология и маршрут проектирования на ПЛИС.	Методология и маршрут проектирования на ПЛИС. Основные этапы проектирования цифровых устройств на ПЛИС.	2	ПК-15, ПК-19
	Итого	2	
3 Структура САПР для проектирования на ПЛИС.	Структура САПР для проектирования на ПЛИС. Обзор программных средств для проектирования на ПЛИС.	2	ПК-15, ПК-19
	Итого	2	
4 Языки описания цифровых устройств (Hardware Description Languages - HDL).	Языки описания цифровых устройств (Hardware Description Languages - HDL). Язык Verilog. Синтаксис языка Verilog. Реализация элементарных цифровых устройств на языке Verilog.	14	ПК-15, ПК-19
	Итого	14	
5 Функциональная верификация HDL-описаний.	Функциональная верификация HDL-описаний. Инструмент моделирования ModelSim. Инструмент SignalTap.	8	ПК-15, ПК-19
	Итого	8	
6 Синтезируемость HDL-описаний.	Синтезируемость HDL-описаний.	2	ПК-15, ПК-19
	Итого	2	
7 Архитектура и схемотехника ПЛИС.	Архитектура и схемотехника ПЛИС. Системы с использованием ПЛИС.	4	ПК-15, ПК-19
	Итого	4	
Итого за семестр		34	

5.3. Разделы дисциплины и междисциплинарные связи с обеспечивающими (предыдущими) и обеспечиваемыми (последующими) дисциплинами

Разделы дисциплины и междисциплинарные связи с обеспечивающими (предыдущими) и обеспечиваемыми (последующими) дисциплинами представлены в таблице 5.3.

Таблица 5.3 – Разделы дисциплины и междисциплинарные связи

Наименование дисциплин	№ разделов данной дисциплины, для которых необходимо изучение обеспечивающих и обеспечиваемых дисциплин						
	1	2	3	4	5	6	7
Предшествующие дисциплины							
1 Цифровая обработка сигналов		+		+	+		
Последующие дисциплины							
1 Защита выпускной квалификационной работы, включая подготовку к процедуре защиты и процедуру защиты				+			+
2 Преддипломная практика				+			+

5.4. Соответствие компетенций, формируемых при изучении дисциплины, и видов занятий

Соответствие компетенций, формируемых при изучении дисциплины, и видов занятий представлено в таблице 5.4.

Согласована на портале № 36464

Таблица 5.4 – Соответствие компетенций, формируемых при изучении дисциплины, и видов занятий

Компетенции	Виды занятий				Формы контроля
	Лек.	Прак. зан.	Лаб. раб.	Сам. раб.	
ПК-15	+	+	+	+	Контрольная работа, Отчет по лабораторной работе, Опрос на занятиях, Тест, Дифференцированный зачет, Отчет по практическому занятию
ПК-19	+	+	+	+	Контрольная работа, Отчет по лабораторной работе, Опрос на занятиях, Тест, Дифференцированный зачет, Отчет по практическому занятию

6. Интерактивные методы и формы организации обучения

Не предусмотрено РУП.

7. Лабораторные работы

Наименование лабораторных работ приведено в таблице 7.1.

Таблица 7.1 – Наименование лабораторных работ

Названия разделов	Наименование лабораторных работ	Трудоемкость, ч	Формируемые компетенции
6 семестр			
1 Общие сведения об интегральных схемах с программируемой структурой (ИСПС).	Создание проекта в Quartus II. Логические схемы.	4	ПК-15, ПК-19
	Итого	4	
3 Структура САПР для проектирования на ПЛИС.	Счетчики и делители частоты.	4	ПК-15, ПК-19
	Итого	4	
4 Языки описания цифровых устройств (Hardware Description Languages - HDL).	Широтно-импульсная модуляция.	4	ПК-15, ПК-19
	Машины конечных состояний (FSM).	4	
	Фильтр с конечной импульсной характеристикой	6	
	Итого	14	
5 Функциональная верификация HDL-описаний.	Интерфейс SPI.	6	ПК-15, ПК-19
	Итого	6	
7 Архитектура и схемотехника ПЛИС.	Акселерометр.	6	ПК-15, ПК-19
	Итого	6	
Итого за семестр		34	

Согласована на портале № 36464

8. Практические занятия (семинары)

Наименование практических занятий (семинаров) приведено в таблице 8.1.

Таблица 8.1 – Наименование практических занятий (семинаров)

Названия разделов	Наименование практических занятий (семинаров)	Трудоемкость, ч	Формируемые компетенции
6 семестр			
1 Общие сведения об интегральных схемах с программируемой структурой (ИСПС).	Цифровые логические схемы.	4	ПК-15, ПК-19
	Итого	4	
4 Языки описания цифровых устройств (Hardware Description Languages - HDL).	Основные элементы и функции языка Verilog	6	ПК-15, ПК-19
	Мультиплексор, демультиплексор, дешифратор.	4	
	Сдвиговые регистры	4	
	Работа с памятью.	4	
	Операции с триггерами на языке Verilog.	4	
	Итого	22	
5 Функциональная верификация HDL-описаний.	Инструмент моделирования Modelsim. Написание тестбенчей.	4	ПК-15, ПК-19
	Цифровая обработка сигналов.	4	
	Итого	8	
Итого за семестр		34	

9. Самостоятельная работа

Виды самостоятельной работы, трудоемкость и формируемые компетенции представлены в таблице 9.1.

Таблица 9.1 – Виды самостоятельной работы, трудоемкость и формируемые компетенции

Названия разделов	Виды самостоятельной работы	Трудоемкость, ч	Формируемые компетенции	Формы контроля
6 семестр				
1 Общие сведения об интегральных схемах с программируемой структурой (ИСПС).	Проработка лекционного материала	4	ПК-15, ПК-19	Дифференцированный зачет, Контрольная работа, Опрос на занятиях, Тест
	Подготовка и сдача зачета	4		
	Итого	8		
2 Методология и маршрут проектирования на ПЛИС.	Проработка лекционного материала	4	ПК-15, ПК-19	Дифференцированный зачет, Контрольная работа, Опрос на занятиях, Тест
	Подготовка и сдача зачета	2		
	Подготовка к контрольным работам	6		
	Итого	12		

Согласована на портале № 36464

3 Структура САПР для проектирования на ПЛИС.	Проработка лекционного материала	4	ПК-15, ПК-19	Дифференцированный зачет, Контрольная работа, Отчет по лабораторной работе, Тест
	Оформление отчетов по лабораторным работам	4		
	Подготовка и сдача зачета	2		
	Итого	10		
4 Языки описания цифровых устройств (Hardware Description Languages - HDL).	Подготовка к практическим занятиям, семинарам	8	ПК-15, ПК-19	Дифференцированный зачет, Контрольная работа, Опрос на занятиях, Отчет по лабораторной работе, Отчет по практическому занятию, Тест
	Проработка лекционного материала	6		
	Оформление отчетов по лабораторным работам	6		
	Подготовка и сдача зачета	20		
	Подготовка к контрольным работам	6		
	Итого	46		
5 Функциональная верификация HDL-описаний.	Подготовка к практическим занятиям, семинарам	4	ПК-15, ПК-19	Дифференцированный зачет, Контрольная работа, Опрос на занятиях, Отчет по лабораторной работе, Тест
	Проработка лекционного материала	4		
	Подготовка к лабораторным работам	2		
	Подготовка и сдача зачета	10		
	Подготовка к контрольным работам	4		
	Итого	24		
6 Синтезируемость HDL-описаний.	Проработка лекционного материала	4	ПК-15, ПК-19	Дифференцированный зачет, Контрольная работа, Тест
	Подготовка и сдача зачета	2		
	Итого	6		
7 Архитектура и схемотехника ПЛИС.	Оформление отчетов по лабораторным работам	4	ПК-15, ПК-19	Дифференцированный зачет, Отчет по лабораторной работе, Тест
	Подготовка и сдача зачета	4		
	Итого	8		
Итого за семестр		70		
Итого		114		

Согласована на портале № 36464

10. Курсовой проект / курсовая работа

Не предусмотрено РУП.

11. Рейтинговая система для оценки успеваемости обучающихся

11.1. Балльные оценки для элементов контроля

Таблица 11.1 – Балльные оценки для элементов контроля

Элементы учебной деятельности	Максимальный балл на 1-ую КТ с начала семестра	Максимальный балл за период между 1КТ и 2КТ	Максимальный балл за период между 2КТ и на конец семестра	Всего за семестр
6 семестр				
Контрольная работа	10	10	5	25
Опрос на занятиях	4	4	2	10
Отчет по лабораторной работе	10	10	5	25
Отчет по практическому занятию	4	4	2	10
Тест			30	30
Итого максимум за период	28	28	44	100
Нарастающим итогом	28	56	100	100

11.2. Пересчет баллов в оценки за контрольные точки

Пересчет баллов в оценки за контрольные точки представлен в таблице 11.2.

Таблица 11.2 – Пересчет баллов в оценки за контрольные точки

Баллы на дату контрольной точки	Оценка
≥ 90% от максимальной суммы баллов на дату КТ	5
От 70% до 89% от максимальной суммы баллов на дату КТ	4
От 60% до 69% от максимальной суммы баллов на дату КТ	3
< 60% от максимальной суммы баллов на дату КТ	2

11.3. Пересчет суммы баллов в традиционную и международную оценку

Пересчет суммы баллов в традиционную и международную оценку представлен в таблице 11.3.

Таблица 11.3 – Пересчет суммы баллов в традиционную и международную оценку

Оценка (ГОС)	Итоговая сумма баллов, учитывает успешно сданный экзамен	Оценка (ECTS)
5 (отлично) (зачтено)	90 - 100	A (отлично)
4 (хорошо) (зачтено)	85 - 89	B (очень хорошо)
	75 - 84	C (хорошо)
	70 - 74	D (удовлетворительно)
3 (удовлетворительно) (зачтено)	65 - 69	
	60 - 64	E (посредственно)
2 (неудовлетворительно) (не зачтено)	Ниже 60 баллов	F (неудовлетворительно)

Согласована на портале № 36464

12. Учебно-методическое и информационное обеспечение дисциплины

12.1. Основная литература

1. Стешенко В.Б. ПЛИС фирмы Altera: элементная база, система проектирования и языки описания аппаратуры. - М.: ДМК Пресс, 2010. - 573 с. [Электронный ресурс] - Режим доступа: http://e.lanbook.com/book/60976 (дата обращения: 05.07.2018).

12.2. Дополнительная литература

1. Зотов В. Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы XILINX®. - М.: Горячая линия-Телеком, 2006. - 519с. (наличие в библиотеке ТУСУР - 41 экз.)
2. Угрюмов Е. П. Цифровая схемотехника: Учебное пособие для вузов. - 2-е изд., перераб. и доп. - СПб.: БХВ-Петербург, 2004. - 782с. (наличие в библиотеке ТУСУР - 20 экз.)

12.3. Учебно-методические пособия

12.3.1. Обязательные учебно-методические пособия

1. Программирование логических интегральных схем: Методические указания к лабораторным работам / Крюков Я. В., Покаместов Д. А., Эрдынеев Ж. Т. - 2014. 51 с. [Электронный ресурс] - Режим доступа: https://edu.tusur.ru/publications/3898 (дата обращения: 05.07.2018).
2. Программирование логических интегральных схем: Методические указания по проведению практических занятий и организации самостоятельной работы / Крюков Я. В., Покаместов Д. А., Эрдынеев Ж. Т. - 2014. 77 с. [Электронный ресурс] - Режим доступа: https://edu.tusur.ru/publications/3901 (дата обращения: 05.07.2018).
3. Цифровой акселерометр: Методические указания к лабораторной работе №8 по дисциплине «Программирование логических интегральных схем» / Евсеев А. А., Абраменко А. Ю. - 2016. 9 с. [Электронный ресурс] - Режим доступа: https://edu.tusur.ru/publications/6052 (дата обращения: 05.07.2018).

12.3.2. Учебно-методические пособия для лиц с ограниченными возможностями здоровья и инвалидов

Учебно-методические материалы для самостоятельной и аудиторной работы обучающихся из числа лиц с ограниченными возможностями здоровья и инвалидов предоставляются в формах, адаптированных к ограничениям их здоровья и восприятия информации.

Для лиц с нарушениями зрения:

- в форме электронного документа;
- в печатной форме увеличенным шрифтом.

Для лиц с нарушениями слуха:

- в форме электронного документа;
- в печатной форме.

Для лиц с нарушениями опорно-двигательного аппарата:

- в форме электронного документа;
- в печатной форме.

12.4. Профессиональные базы данных и информационные справочные системы

1. Образовательный портал edu.tusur.ru
2. При изучении дисциплины рекомендуется использовать базы данных, информационно-справочные и поисковые системы, к которым у ТУСУРа есть доступ https://lib.tusur.ru/ru/resursy/bazy-dannyh

13. Материально-техническое обеспечение дисциплины и требуемое программное обеспечение

13.1. Общие требования к материально-техническому и программному обеспечению дисциплины

13.1.1. Материально-техническое и программное обеспечение для лекционных занятий

Для проведения занятий лекционного типа, групповых и индивидуальных консультаций, текущего контроля и промежуточной аттестации используется учебная аудитория с количеством по-

Согласована на портале № 36464

садочных мест не менее 22-24, оборудованная доской и стандартной учебной мебелью. Имеются демонстрационное оборудование и учебно-наглядные пособия, обеспечивающие тематические иллюстрации по лекционным разделам дисциплины.

13.1.2. Материально-техническое и программное обеспечение для практических занятий

Учебная аудитория «Цифровая связь» основана совместно с Keysight Technologies

учебная аудитория для проведения занятий практического типа, учебная аудитория для проведения занятий лабораторного типа

634034, Томская область, г. Томск, Вершинина улица, д. 47, 309 ауд.

Описание имеющегося оборудования:

- 10 рабочих станций на базе процессоров Intel Core i5;
- Доска магнитно-маркерная Brauberg;
- Отладочные платы DE0-NANO на базе ПЛИС Altera Cyclone IV (4 шт.);
- Отладочные платы DE0-CV-board на базе ПЛИС Cyclone V (6 шт.);
- Комплект специализированной учебной мебели;
- Рабочее место преподавателя.

Программное обеспечение:

– Altera Quartus Prime Lite Edition
– LibreOffice

13.1.3. Материально-техническое и программное обеспечение для лабораторных работ

Учебная аудитория «Цифровая связь» основана совместно с Keysight Technologies

учебная аудитория для проведения занятий практического типа, учебная аудитория для проведения занятий лабораторного типа

634034, Томская область, г. Томск, Вершинина улица, д. 47, 309 ауд.

Описание имеющегося оборудования:

- 10 рабочих станций на базе процессоров Intel Core i5;
- Доска магнитно-маркерная Brauberg;
- Отладочные платы DE0-NANO на базе ПЛИС Altera Cyclone IV (4 шт.);
- Отладочные платы DE0-CV-board на базе ПЛИС Cyclone V (6 шт.);
- Комплект специализированной учебной мебели;
- Рабочее место преподавателя.

Программное обеспечение:

– Altera Quartus Prime Lite Edition
– LibreOffice

13.1.4. Материально-техническое и программное обеспечение для самостоятельной работы

Для самостоятельной работы используются учебные аудитории (компьютерные классы), расположенные по адресам:

- 634050, Томская область, г. Томск, Ленина проспект, д. 40, 233 ауд.;
- 634045, Томская область, г. Томск, ул. Красноармейская, д. 146, 201 ауд.;
- 634034, Томская область, г. Томск, Вершинина улица, д. 47, 126 ауд.;
- 634034, Томская область, г. Томск, Вершинина улица, д. 74, 207 ауд.

Состав оборудования:

- учебная мебель;
- компьютеры класса не ниже ПЭВМ INTEL Celeron D336 2.8ГГц. - 5 шт.;
- компьютеры подключены к сети «Интернет» и обеспечивают доступ в электронную информационно-образовательную среду университета.

Перечень программного обеспечения:

- Microsoft Windows;
- OpenOffice;

Согласована на портале № 36464

- Kaspersky Endpoint Security 10 для Windows;
- 7-Zip;
- Google Chrome.

13.2. Материально-техническое обеспечение дисциплины для лиц с ограниченными возможностями здоровья и инвалидов

Освоение дисциплины лицами с ограниченными возможностями здоровья и инвалидами осуществляется с использованием средств обучения общего и специального назначения.

При занятиях с обучающимися **с нарушениями слуха** предусмотрено использование звукоусиливающей аппаратуры, мультимедийных средств и других технических средств приема/передачи учебной информации в доступных формах, мобильной системы преподавания для обучающихся с инвалидностью, портативной индукционной системы. Учебная аудитория, в которой занимаются обучающиеся с нарушением слуха, оборудована компьютерной техникой, аудиотехникой, видеотехникой, электронной доской, мультимедийной системой.

При занятиях с обучающимися **с нарушениями зрениями** предусмотрено использование в лекционных и учебных аудиториях возможности просмотра удаленных объектов (например, текста на доске или слайда на экране) при помощи видеоувеличителей для комфортного просмотра.

При занятиях с обучающимися **с нарушениями опорно-двигательного аппарата** используются альтернативные устройства ввода информации и другие технические средства приема/передачи учебной информации в доступных формах, мобильной системы обучения для людей с инвалидностью.

14. Оценочные материалы и методические рекомендации по организации изучения дисциплины

14.1. Содержание оценочных материалов и методические рекомендации

Для оценки степени сформированности и уровня освоения закрепленных за дисциплиной компетенций используются оценочные материалы в составе:

14.1.1. Тестовые задания

1) На языке Verilog объявить массив mem из четырех 8-ми разрядных регистров можно с помощью конструкции:

а) reg [7:0] mem [3:0];

б) reg [3:0] mem [7:0];

в) reg [7:0] [3:0] r;

г) wire r [7:0] [3:0];

2) В результате выполнения операции d=!(4’b0110*4’b0111+4’b0101), d будет иметь значение:

а) 1’d1

б) 1’d0

в) 4’d0100

г) 4’d1011

3) Для передачи данных между двумя устройствами (master и slave) по интерфейсу SPI используются шины:

а) miso, mosi, sclk, en, rst

б) miso, mosi

в) miso, mosi, preset, sclk

г) miso, mosi, sclk, ss

4) Объявлены две переменные: reg a; wire b;

Присвоить этим переменным значение 1’b1 можно с помощью кода:

а) assign a=1’b1; always @* b=1’b1;

б) assign b=1’b1; always @* a=1’b1;

в) assign a=1’b1; assign b=1’b1;

г) always @* a=1’b1; always @* b=1’b1;

5) wire [2:0] C; assign C = ~(3’b010+3’b001 + 3’b010);

Какое значение будет иметь переменная C:

Согласована на портале № 36464

а) 3’b101
б) 3’b111
в) 3’b010
г) 3’b011

6) Выберите правильный вариант объявления двухмерного массива регистров из 8-ми элементов:

а) reg [7:0] a;
б) reg a [2:0];
в) reg [7:0] a [2:0];
г) reg [2:0] a [7:0];

7) Число «-5» в прямом и дополнительном коде:

а) 101; 010
б) 1101; 1011
в) 1011; 1101
г) 010; 101

8) При подаче на RS триггер комбинации (S=0, R=1) происходит:

а) Установка выходного значения
б) Сброс выходного значения
в) Хранение значения
г) Это запрещенное состояние

9) Комментарии на языке Verilog могут начинаться с символа:

а) $
б) ^
в) //
г) #

10) При объявлении регистра reg [5:0] a = 7’b1011011;

Регистр будет иметь значение:

а) 1011011
б) 011011
в) 1101101
г) 101101

11) Выход модуля может иметь тип:

а) Может reg, не может wire
б) Не может reg, может wire
в) Может только integer
г) Может и reg и wire

12) Вход модуля может иметь тип:

а) Может reg, не может wire
б) Не может reg, может wire
в) Может только integer
г) Может и reg и wire

13) На языке Verilog массив памяти rom из десяти восьми битных слов можно объявить с помощью конструкции:

а) reg [9:0] rom [7:0]
б) memory [7:0] rom [9:0]
в) memory [9:0] rom [7:0]
г) reg [7:0] rom [9:0]

14) Константы (параметры) a=5 и b=3 на яыыке Verilog могут быть объявлены:

а) a=5, b=3; parameter;
б) parameter a=5, b=3;
в) constant a=5, b=3;
г) a=5, b=3 constant;

15) Модуль-testbench в Modelsim содержит код:

`timescale 1ns/1ps;

Согласована на портале № 36464

…
initial
a=0;
#10
a=1;
end
Через какое время переменная a примет значение «1»?
а) 1ps
б) 1ns
в) 10ns
г) 10ps
16) Что реализует конструкция, описанная на языке Verilog.
always@(posedge clk)
R <= R >>1;
а) Сдвиг регистра R на 1 разряд влево
б) Сдвиг регистра R на 1 разряд вправо
в) Запись в регистр R значения 1’b’1
г) Выполнение операции R «Много больше» единицы
17) Какое значение будет иметь переменная W:
reg [3:0] r = 4’b1010;
wire [4:0] W;
assigin W = {r[2:0], 2’b11}
а) 5’b11010
б) 5’b11
в) 5’b101011
г) 5’b01011
18) Какие операции представлены ниже:
« * », « ~ », « || »
а) Указатель, деление, конкатенация
б) Арифметическое умножение, логическая инверсия, побитовое И
в) Арифметическое умножение, побитовая инверсия, логическое ИЛИ
г) Указатель, побитовая инверсия, логическое И
19) На языке Verilog реализована конструкция:
reg [1:0] k=2’b0;
always @(posedge clk)
k<=k+1’b1;
Какое значение в десятичном виде будет иметь регистр k после появления шести прямоугольных импульсов на линии clk?
а) 2
б) 4
в) 6
г) 0
20) Какой типовой элемент описывает код:
module flip_flop (
input clk, reset,en,
input d,
output reg q
);
always @ (posedge clk or posedge reset)
if (reset)
q <= 0;
else if (en)
q <= d;
endmodule

Согласована на портале № 36464

а) Синхронный D-триггер со сбросом и входом разрешения на запись
б) D-триггер с асинхронным сбросом и входом разрешения на запись
в) RS-триггер со сбросом и входом разрешения на запись
г) D-триггер с асинхронным сбросом

14.1.2. Вопросы для подготовки к практическим занятиям, семинарам

Основные элементы и функции языка Verilog
Мультиплексор, демультиплексор, дешифратор.
Сдвиговые регистры
Инструмент моделирования Modelsim. Написание тестбенчей.

14.1.3. Темы контрольных работ

Реализовать на языке Verilog делитель частоты с асинхронным сбросом, чтобы получить тактовый сигнал с частотой равной 1 Гц. Частота входного сигнала 256 Гц. Нарисовать эпюры напряжений, демонстрирующие работу делителя.

Реализовать 16 – разрядный счетчик с возможностью реверсивного счета. Направление счета указывается логическим уровнем на входе. Логический ноль – прибавляет единицу, Логическая единица – отнимает.

Реализовать вычислительное устройство для сложения, вычитания и умножения двух комплексных чисел. Входными данными для устройства является четыре 12-разрядных числа, где первые два: реальное и мнимое значение первого числа, последние два: реальное и мнимое значение второго числа. Объяснить выбор разрядности выходных данных.

14.1.4. Темы опросов на занятиях

Общие сведения об интегральных схемах с программируемой структурой (ИСПС). Классификация цифровых микросхем.

Методология и маршрут проектирования на ПЛИС. Основные этапы проектирования цифровых устройств на ПЛИС.

Языки описания цифровых устройств (Hardware Description Languages - HDL). Язык Verilog. Синтаксис языка Verilog. Реализация элементарных цифровых устройств на языке Verilog.

Синтезируемость HDL-описаний.

Архитектура и схемотехника ПЛИС. Системы с использованием ПЛИС.

14.1.5. Вопросы дифференцированного зачета

1) Приведите обозначение и таблицы истинности для базовых логических схем И, ИЛИ, НЕ, RS-, синхронный RS- и D-триггер (lath и flip-flop). Описать принцип работы триггеров. Дать определение понятию «регистр».

2) Дать определение понятию ПЛИС. Рассказать о типах ПЛИС, которые Вы знаете. Описать семейства ПЛИС Altera/Intel Cyclone, обозначить их область использования, привести основные технические характеристики по поколениям (с III по X). Обратить внимание на отличие ПЛИС разных поколений.

3) Описать семейства ПЛИС Altera/Intel Arria и Stratix, семейства ПЛИС фирмы Xilinx и отечественные ПЛИС, обозначить область использования, привести основные технические характеристики по поколениям.

4) Подробно рассказать об устройстве ПЛИС на примере ПЛИС фирмы Altera Cyclone IV (устройство логических элементов, логических блоков, памяти, DSP блоков, портов ввода/вывода и т.д.).

5) Дать определение базовым понятиям языка программирования Verilog: модуль, порты, типы данных. Перечислить известные Вам типы данных и порты, определить их назначение, привести примеры использования. Организация иерархии модулей на языке Verilog (использование одного модуля внутри другого).

6) Перечислить основные операторы языка программирования Verilog, привести примеры использования основных операторов. Рассказать о представлении положительных и отрицательных чисел на языке Verilog HDL, привести пример представления чисел в двоичной, десятичной и шестнадцатеричной системе исчислений.

7) Рассказать в каких случаях используется процедурный блок always, а в каких непрерывное описание assign, привести примеры использования. Пояснить отличия блокирующего и не бло-

Согласована на портале № 36464

кирующего присвоения.

8) Дать определение понятию «счетчик», обозначить область его использования. Перечислить виды счётчиков с пояснением их работы на языке Verilog HDL.

9) Рассказать об операторах «case», «for», «if…else», обозначить их область использования, привести примеры использования на языке Verilog HDL. Дать определения понятию «мультиплексор», «демультиплексор» и «дешифратор», обозначить их область использования, привести примеры использования на языке Verilog HDL.

10) Дать определение понятию «машина конечных состояний». Рассказать об известных Вам типах машин конечных состояний. Обозначить область использования и привести пример описания машины конечных состояний на языке Verilog HDL. Обозначить основные элементы машины конечных состояний, пояснить принцип её работы.

11) Дать определение памяти типа RAM и ROM. Обозначить особенности использования памяти в ПЛИС на примере ПЛИС Altera Cyclone IV. Привести пример описания RAM и ROM на языке Verilog HDL. Рассказать о способах инициализации памяти.

12) Дать определение последовательному и параллельному интерфейсу передачи данных, назовите не менее двух интерфейсов каждого типа (за исключением SPI). Дать определение SPI интерфейсу и расшифровку аббревиатуры SPI. Перечислите и обозначьте отличия, используя временные диаграммы, режимов работы SPI интерфейса. Опишите принцип работы SPI интерфейса. Дать определение и описать регистр сдвига на языке Verilog HDL. Покажите, как выполняется подключение 2-х и более устройств по SPI интерфейсу.Дать определение функциональному моделированию. Определить задачи, решаемые в процессе моделирования. Дать определение тестовому модулю. Привести пример тестового модуля для любого простого проекта, объяснить принцип его работы, пояснить отличия тестового модуля от обычного.

13) Дайте определения цифровой обработки сигналов (ЦОС) и цифрового сигнала. Приведите основные особенности использования ЦОС на ПЛИС, обозначьте задачи ЦОС, решаемые на ПЛИС.

14) Дать определение КИХ фильтра, обозначить его особенности и назначение. Описать КИХ фильтр в виде структурной схемы и на языке Verilog HDL. Пояснить принцип его работы. Рассказать об использовании КИХ фильтра для задачи интерполяции сигналов.

15) Дать определение CIC фильтра, обозначить его особенности и назначение. Описать CIC фильтр в виде структурной схемы и на языке Verilog HDL. Пояснить принцип его работы. Рассказать об использовании CIC фильтра для задачи децимации сигналов.

16) Рассказать о решениях, объединяющих ПЛИС с микроконтроллером. Дать определение программному процессору NIOS II, обозначить его характерные особенности и основные преимущества перед решением «ПЛИС + микроконтроллер». Рассказать о Intel System-On-Chip (SOC), привести основные отличия от программных процессоров и типовые характеристики, рассказать об архитектуре SOC решений.

17) Рассказать о всех вариантах конфигурирования ПЛИС. Привести обозначение и назначение линий для конфигурирования. Пояснить на временных диаграммах процесс конфигурирования ПЛИС (достаточно рассмотреть только один вариант конфигурирования). Рассказать о назначении и использовании JTAG интерфейса.

18) Рассказать об оценке производительности ПЛИС и причинах отличия реальной и максимальной производительности. Привести условия достижения максимальной производительности. Дать определение времени удержания и времени предустановки. Дать определение TimeQuest Time Analyzer, рассказать о его назначении. Раскрыть понятие временных ограничений (constraints). Рассказать о назначении основных временных ограничений (частота тактового сигнала, мультициклы (multicycle), запрет на анализ пути). Рассказать о конвейерной архитектуре, привести пример.

19) Рассказать об основных типах корпусов ПЛИС, их преимуществах и недостатках. Рассказать об организации схемы питания ПЛИС, назначении и функциональных возможностях PowerPlay Early Power Estimator. Какие основные стандарты портов ввода/вывода поддерживает ПЛИС?

20) Синтезировать схему на языке Verilog HDL: счётчик с прямым и обратным счётом с возможностью выбора направления счёта по внешнему управляющему сигналу.

Согласована на портале № 36464

21) Синтезировать схему на языке Verilog HDL: модуль для суммирования и умножения комплексных чисел разрядностью 14 бит.

14.1.6. Темы лабораторных работ

Создание проекта в Quartus II. Логические схемы.
Счетчики и делители частоты.
Широтно-импульсная модуляция.
Машины конечных состояний (FSM).
Фильтр с конечной импульсной характеристикой
Интерфейс SPI.
Акселерометр.

14.1.7. Методические рекомендации

На первом лекционном занятии преподаватель должен определить основные цели изучения дисциплины, рекомендовать литературу для самостоятельного изучения, рассказать о порядке и методиках проведения занятий.

14.2. Требования к оценочным материалам для лиц с ограниченными возможностями здоровья и инвалидов

Для лиц с ограниченными возможностями здоровья и инвалидов предусмотрены дополнительные оценочные материалы, перечень которых указан в таблице 14.

Таблица 14 – Дополнительные материалы оценивания для лиц с ограниченными возможностями здоровья и инвалидов

Категории обучающихся	Виды дополнительных оценочных материалов	Формы контроля и оценки результатов обучения
С нарушениями слуха	Тесты, письменные самостоятельные работы, вопросы к зачету, контрольные работы	Преимущественно письменная проверка
С нарушениями зрения	Собеседование по вопросам к зачету, опрос по терминам	Преимущественно устная проверка (индивидуально)
С нарушениями опорно-двигательного аппарата	Решение дистанционных тестов, контрольные работы, письменные самостоятельные работы, вопросы к зачету	Преимущественно дистанционными методами
С ограничениями по общемедицинским показаниям	Тесты, письменные самостоятельные работы, вопросы к зачету, контрольные работы, устные ответы	Преимущественно проверка методами исходя из состояния обучающегося на момент проверки

14.3. Методические рекомендации по оценочным материалам для лиц с ограниченными возможностями здоровья и инвалидов

Для лиц с ограниченными возможностями здоровья и инвалидов предусматривается доступная форма предоставления заданий оценочных средств, а именно:

- в печатной форме;
- в печатной форме с увеличенным шрифтом;
- в форме электронного документа;
- методом чтения ассистентом задания вслух;
- предоставление задания с использованием сурдоперевода.

Лицам с ограниченными возможностями здоровья и инвалидам увеличивается время на подготовку ответов на контрольные вопросы. Для таких обучающихся предусматривается доступная форма предоставления ответов на задания, а именно:

- письменно на бумаге;
- набор ответов на компьютере;
- набор ответов с использованием услуг ассистента;
- представление ответов устно.

Согласована на портале № 36464

Процедура оценивания результатов обучения лиц с ограниченными возможностями здоровья и инвалидов по дисциплине предусматривает предоставление информации в формах, адаптированных к ограничениям их здоровья и восприятия информации:

Для лиц с нарушениями зрения:

- в форме электронного документа;
- в печатной форме увеличенным шрифтом.

Для лиц с нарушениями слуха:

- в форме электронного документа;
- в печатной форме.

Для лиц с нарушениями опорно-двигательного аппарата:

- в форме электронного документа;
- в печатной форме.

При необходимости для лиц с ограниченными возможностями здоровья и инвалидов процедура оценивания результатов обучения может проводиться в несколько этапов.

Согласована на портале № 36464