

Министерство образования и науки Российской Федерации

ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
СИСТЕМ УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ (ТУСУР)

Н. С. Легостаев, К. В. Четвергов

МИКРОЭЛЕКТРОНИКА

Учебное пособие

Томск
«Эль Контент»
2013

УДК 621.382.049.77(075.8)

ББК 32.844.1я73

Л 387

Рецензенты:

Чепков В. В., канд. техн. наук, зав. лабораторией систем электропитания

ООО «Технологическая компания Шлюмберже» в г. Томске;

Чернышев А. Ю., канд. техн. наук, доцент кафедры электропривода
и электрооборудования Национального исследовательского Томского
политехнического университета.

Легостаев Н. С.

Л 387 Микроэлектроника : учебное пособие / Н. С. Легостаев, К. В. Четвергов — Томск : Эль Контент, 2013. — 172 с.

ISBN 978-5-4332-0073-9

Рассматриваются основные положения микроэлектроники, характеристики и параметры интегральных микросхем, элементы и предельные возможности интегральной микроэлектроники. Представлены основные схемотехнические структуры цифровой и аналоговой микроэлектроники. Рассмотрен математический аппарат цифровой микроэлектроники, основные типы цифровых микроэлектронных устройств, а также основы функциональной микроэлектроники.

Для студентов, обучающихся по направлению 210100 «Электроника и нанoeлектроника» с профилем «Промышленная электроника».

УДК 621.382.049.77(075.8)

ББК 32.844.1я73

ISBN 978-5-4332-0073-9

© Легостаев Н. С.,

Четвергов К. В., 2013

© Оформление.

ООО «Эль Контент», 2013

ОГЛАВЛЕНИЕ

Введение	5
1 Предмет микроэлектроники	7
1.1 Основные положения микроэлектроники	7
1.2 Процесс проектирования интегральных микросхем	9
1.3 Классификация интегральных микросхем	11
2 Характеристики и параметры цифровых интегральных микросхем	14
2.1 Схемотехнические и конструктивные параметры	14
2.2 Статические характеристики и параметры	15
2.3 Динамические характеристики и параметры	17
2.4 Энергетические характеристики и параметры	19
3 Математический аппарат цифровой микроэлектроники	21
3.1 Арифметические коды	21
3.2 Функции алгебры логики и их основные свойства	24
3.3 Основные законы алгебры логики	26
3.4 Алгебраические формы представления функций алгебры логики . .	27
3.5 Минимизация функций алгебра логики	30
4 Цифровые микроэлектронные устройства комбинационного типа	37
4.1 Основные положения	37
4.2 Логические элементы	38
4.3 Методика синтеза комбинационных устройств	39
4.4 Мультиплексоры и демультимплексоры	43
4.5 Шифраторы и дешифраторы	47
4.6 Сумматоры и вычитатели	51
4.7 Цифровые компараторы	55
4.8 Матричная реализация булевых функций	56
5 Цифровые микроэлектронные устройства последовательностного типа	63
5.1 Основные положения	63
5.2 Триггеры	65
5.3 Регистры	73
5.4 Счетчики и делители частоты	78

6	Запоминающие устройства	95
6.1	Общие положения	95
6.2	Принцип построения ЗУ с произвольным доступом	96
6.3	Особенности построения постоянных ЗУ	100
7	Основные схемотехнические структуры цифровой интегральной микроэлектроники	104
7.1	Базовые логические элементы транзисторно-транзисторной логики .	104
7.2	Базовые логические элементы на комплементарных МДП-транзисторах	110
7.3	Базовый логический элемент истоко-связанной логики на полевых транзисторах с управляющим переходом Шоттки (ПТШ-Ga-As) . . .	115
8	Основные схемотехнические структуры аналоговой интегральной микроэлектроники	117
8.1	Функциональные узлы аналоговых интегральных микросхем	117
8.2	Интегральные операционные усилители и их основные свойства . .	136
8.3	Характеристики и параметры ОУ	144
	Заключение	157
	Литература	158
	Приложение А Ответы на контрольные вопросы по главам	159
	Список условных обозначений	163
	Глоссарий	167

ВВЕДЕНИЕ

Электроника представляет собой область науки и техники, включающую исследование явлений взаимодействия электронов с электромагнитными полями в вакууме, газовой среде или твердом теле, а также разработку и практическое применение приборов, в которых это взаимодействие используется для преобразования электромагнитной энергии (электронных приборов) [5].

Одна из основных проблем, стоящих перед электроникой, связана с требованием улучшения технических параметров электронных систем с одновременным уменьшением их габаритов и потребляемой энергии. Решение проблемы миниатюризации электронной аппаратуры связано с современным этапом развития электроники — *микроэлектроникой*.

Микроэлектроника — это область электроники, охватывающая исследование, конструирование, производство и применение электронных функциональных узлов, блоков и устройств в микроминиатюрном интегральном исполнении.

Развитие микроэлектроники идёт главным образом в двух направлениях: повышение уровня интеграции и плотности упаковки в интегральных микросхемах, ставших традиционными; изыскание новых физических принципов и явлений для создания электронных устройств со схмотехническим или даже системотехническим функциональным назначением.

Первое направление привело к уровням интеграции, характеризующимся многими тысячами элементов в одном корпусе интегральной микросхемы с микронными и субмикронными размерами отдельных элементов. Дальнейшее уменьшение размеров на несколько порядков превращает элементы в наноэлементы и сопровождается изменением физических основ их работы. В наноэлементах используются уже не электроны, как частицы, переносящие электрический заряд, а их волновые функции. Изучение физических явлений и процессов взаимодействия электронов с электромагнитными полями, а также разработка нанотехнологии создания приборов и устройств, в которых данное взаимодействие используется для передачи, обработки и хранения информации, связано с появлением нового направления электроники — *наноэлектроники*, которая является логическим развитием микроэлектроники. В микроэлектронике функциональный элемент представляет собой совокупность структурных компонентов — резисторов, конденсаторов, диодов и транзисторов, тогда как в наноэлектронике структурированные компоненты обладают свойством многофункциональности и способны выполнять сложные динамические функции [8].

Второе направление микроэлектроники может позволить отказаться от дальнейшего повышения уровня интеграции интегральных микросхем, снизить рассеиваемую мощность, увеличить быстродействие аппаратуры и др. Это новое направление в целом приобретает название *функциональной микроэлектроники* — электроники комбинированных сред с использованием таких явлений, как оптические явления в твёрдом теле (оптоэлектроника) и взаимодействие потока электронов с акустическими волнами в твёрдом теле (акустоэлектроника), а также с использованием свойств сверхпроводников, свойств магнетиков и полупроводников в магнитных полупроводниках (магнетоэлектроника) и др. [8].

Соглашения, принятые в книге

Для улучшения восприятия материала в данной книге используются пиктограммы и специальное выделение важной информации.



.....
 Эта пиктограмма означает определение или новое понятие.



.....
 Эта пиктограмма означает внимание. Здесь выделена важная информация, требующая акцента на ней. Автор здесь может поделиться с читателем опытом, чтобы помочь избежать некоторых ошибок.



.....
Пример

Эта пиктограмма означает пример. В данном блоке автор может привести практический пример для пояснения и разбора основных моментов, отраженных в теоретическом материале.

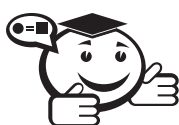


.....
Контрольные вопросы по главе

Глава 1

ПРЕДМЕТ МИКРОЭЛЕКТРОНИКИ

1.1 Основные положения микроэлектроники



.....
***Микроэлектроника**— это область электроники, охватывающая исследование, конструирование, производство и применение микроэлектронных изделий, основной разновидностью которых являются интегральные микросхемы.*
.....



.....
***Интегральная микросхема (ИМС)**— микроэлектронное изделие, выполняющее определенную функцию преобразования, обработки сигналов и (или) накопления информации и имеющее высокую плотность упаковки электрически соединенных элементов (или элементов и компонентов), которое с точки зрения требований к испытаниям, приемке, поставке и эксплуатации рассматривается как единое целое.*
.....

В составе микроэлектроники выделяют три основных раздела — физику электронных процессов, технологию и микросхемотехнику.



.....
***Микросхемотехника (интегральная схемотехника)**— раздел микроэлектроники, охватывающий исследования и разработку электрических и структурных схем, используемых в ИМС и электронной аппаратуре на их основе.*
.....

Микросхемотехника является самостоятельной ветвью схемотехники, в которой используются оригинальные схемные и структурные решения, эффективно использующие специфические особенности интегральных микросхем с целью улучшения их основных характеристик. Эти особенности обусловлены интегральной технологией изготовления, которая накладывает определенные ограничения на параметры элементов и компонентов ИМС и в то же время открывает новые возможности их использования [1].

Принципы микросхемотехники являются результатом интенсивных исследований, направленных на выявление существенных различий между интегральными микросхемами и схемами на дискретных компонентах, и отражают специфику технологии производства ИМС и тенденцию роста степени интеграции их функциональных узлов. Таких принципа два: принцип взаимного согласования цепей и принцип схемотехнической избыточности при ограничении размеров полезной площади подложки или кристалла.



.....
Принцип согласования цепей заключается в такой их конструкторско-технологической реализации, при которой требуемые электрические параметры оказываются пропорциональными друг другу в широком интервале внешних воздействий.



.....
Принцип схемотехнической избыточности заключается в усложнении схемотехники ИМС для улучшения их качества, минимизации площади кристалла и повышения технологичности.

Принципы микросхемотехники обусловлены ограничениями и возможностями технологии изготовления.

Ограничения. Технология изготовления полупроводниковых интегральных схем преимущественно ориентирована на создание схем, в которых *n-p-n*-транзисторы имеют оптимальные параметры. При этом характеристики других элементов являются производными и значения их параметров в значительной степени предопределены и ограничены. С целью получения требуемых характеристик таких наиболее важных элементов, как транзисторы со сверхбольшим коэффициентом усиления или полевые транзисторы, в технологический процесс изготовления *n-p-n*-структур иногда вводят дополнительные стадии. Однако основной метод преодоления ограничений, обусловленных технологией изготовления, заключается в приспособлении схемно-конструктивных решений к требованиям технологии, а не в разработке специальной технологии для данной схемы.

Другое ограничение связано с реализацией высокоомных резисторов и конденсаторов с ёмкостями, превышающими десятки пикофарад, поскольку это сопровождается увеличением необходимой площади кристалла. Поэтому высокоомные резисторы обычно реализуются в виде большого динамического внутреннего сопротивления активных источников тока на транзисторах (для транзисторов не требуется большой площади), а в усилительных каскадах часто используются

сложные элементы, такие как пары Дарлингтона, составные транзисторы и управляемые источники тока.

Большие ёмкости невозможно реализовать даже посредством увеличения их площади на кристалле. По этой причине недопустимо применение межкаскадных конденсаторов, а проблемы согласования уровней каскадов и стабилизации их режима решают в пределах более технологичной, хотя и усложнённой, схемотехники структур с непосредственными связями.

Резисторы с допустимым разбросом сопротивлений менее $\pm(5-10)\%$ не могут быть получены без снижения выхода годных. Однако значения отношений сопротивлений с точностью, на порядок превышающей эти значения, можно достичь без дополнительного усложнения технологических процессов. Поэтому схемотехника ИМС направлена на то, чтобы качественные характеристики интегральных схем определялись не абсолютными значениями сопротивлений, а главным образом их отношениями [3].

Возможности. Интегральная технология открывает пути создания схемных элементов, позволяющих получить качественно новые свойства. Среди них можно назвать многоэмиттерные транзисторы (которые не могут быть реализованы на дискретных компонентах), согласованные транзисторы и т. п.

В отличие от разработчиков электронных схем на дискретных компонентах, разработчики интегральных схем не имеют возможности произвольно выбирать схемные компоненты, оптимальные с точки зрения выполнения конкретной функции, но они могут в допустимых пределах изменять технологические режимы для достижения желаемых результатов.

В немалой степени схемотехнику интегральных схем определяют допустимая мощность рассеяния, необходимость обеспечения стабильности параметров в широком диапазоне изменения внешней температуры, а также необходимость защиты транзисторов от перегрузок по току.

В настоящее время в результате интенсивных исследований с применением самых современных методов анализа и расчёта разработан набор широко используемых функциональных узлов, а также созданы тщательно отработанные методы объединения этих узлов в полупроводниковые интегральные схемы с требуемыми характеристиками [3].

Интегральные микросхемы проектируются и выпускаются сериями.



.....
Серия интегральной микросхемы — совокупность типов интегральных микросхем, которые могут выполнять различные функции, имеют единое конструктивно-технологическое исполнение и предназначены для совместного применения.

1.2 Процесс проектирования интегральных микросхем

Важнейшей задачей микросхемотехники является проектирование новых типов интегральных микросхем. Проектирование представляет собой создание опи-

сания, необходимого для построения в заданных условиях еще не существующего технического объекта на основе первичного описания этого объекта (технического задания).



.....
 В процессе проектирования интегральных микросхем выделяют стадии *структурного проектирования*, *схемного проектирования* и *конструкторско-технологического проектирования*.

Стадия структурного проектирования микросхем состоит из структурного синтеза, в ходе которого на той или иной элементной базе создается структурная схема, обеспечивающая выполнение функций, определенных техническим заданием, и структурного анализа, в процессе которого проверяется правильность функционирования синтезированной структуры при различных рабочих условиях и производится приближенная сравнительная оценка ее основных параметров. Обычно при проектировании микросхем создается несколько структурных вариантов, из которых выбираются наилучшие на основании результатов сравнения их параметров [1].

Для выбранных структурных вариантов производится схемное проектирование, результатом которого является электрическая схема разрабатываемой интегральной микросхемы. Схемное проектирование состоит из этапов схемного синтеза, в ходе которого создается электрическая схема, соответствующая выбранному варианту структуры, и анализа созданной схемы, в результате которого определяются ее основные электрические параметры. На этапе анализа решается задача параметрической оптимизации схемы. В процессе схемного проектирования обычно разрабатывается несколько вариантов электрических схем, которые отличаются структурой, элементной базой, значениями основных параметров. По результатам анализа производится выбор варианта электрической схемы, наилучшим образом удовлетворяющего требованиям технического задания.



.....
 Стадии структурного и схемного проектирование образуют процесс *схмотехнического проектирования* интегральных микросхем.

Стадия конструкторско-технологического проектирования включает этапы выбора или разработки технологического процесса для изготовления микросхемы, разработки ее топологии в соответствии с полученной электрической схемой, анализ полученной топологии с целью проверки ее правильности, расчет физико-технических параметров компонентов микросхемы.

Поскольку физико-технические параметры компонентов определяют их электрические параметры, после стадии конструкторско-технологического проектирования требуется повторить электрический анализ схемы с целью уточнения ее характеристик.

1.3 Классификация интегральных микросхем

По конструктивно-технологическому признаку различают полупроводниковые, гибридные и прочие (пленочные, керамические и т. д.) ИМС. В полупроводниковых ИМС все элементы и межэлементные соединения выполнены в объеме и на поверхности полупроводниковой подложки. По типу применяемых активных компонентов (транзисторов) полупроводниковые микросхемы разделяют на микросхемы на биполярных транзисторах, микросхемы на МДП-транзисторах (МДП-микросхемы), микросхемы смешанной Би-КМДП-технологии. Гибридные интегральные микросхемы содержат пленочные пассивные элементы и навесные компоненты. В пленочных ИМС все элементы и межэлементные соединения выполнены в виде токопроводящих пленок. В зависимости от способа нанесения пленок на поверхность диэлектрической подложки и их толщины различают *тонкопленочные* (толщина пленок менее 1 мкм) и *толстопленочные* (толщина пленок более 1 мкм) микросхемы.

По функциональному назначению все ИМС делятся на два класса: цифровые и аналоговые [7].

Цифровые интегральные микросхемы (ЦИМС) предназначены для обработки информации, представленной в виде цифровых кодов. Характерной особенностью ЦИМС является то, что в виде цифровых кодов представлены и входные, и выходные сигналы. По этому признаку аналого-цифровые и цифроаналоговые преобразователи относятся к классу аналоговых ИМС.

Внутри каждого класса ИМС принята более детальная классификация микросхем по функциональному назначению и по целому ряду других признаков. По функциональному назначению ЦИМС разделяют на подгруппы (логические элементы, триггеры и др.) и виды внутри подгрупп (триггеры: счетные, универсальные, Шмитта и т. д.).

По способу представления двоичной информации цифровые интегральные микросхемы подразделяют на импульсные, динамические, потенциальные. В потенциальных цифровых схемах значения «0» и «1» представляются двумя различными уровнями электрического потенциала: высоким и низким. Для потенциальных элементов используют понятия положительной и отрицательной логики, которые отражают принятый способ кодирования двоичных цифр. При положительной логике высокий уровень электрического потенциала соответствует логической единице, а низкий — логическому нулю. При отрицательной логике высокий уровень электрического потенциала соответствует логическому нулю, а низкий — логической единице.

В импульсных цифровых схемах одно из значений логического сигнала («0» или «1») определяется наличием импульсов определенной длительности и амплитуды, а другое значение — отсутствием импульсов, то есть сохранением какого-либо постоянного потенциала. При положительной логике отсутствие импульсов соответствует логическому «0», а наличие — «1».

В динамических цифровых схемах логическая «1» представляется пачкой импульсов или возобновляемым через необходимый интервал времени потенциалом, а логический «0» — отсутствием импульсов (или наоборот).

В основе классификации цифровых микросхем *по типу логики* лежит принцип схемотехнического построения базового логического элемента серии микросхем. Потенциальные цифровые микросхемы, которые являются наиболее распространенными, по типу логики подразделяют на следующие *основные* классы: *транзисторно-транзисторной логики* (ТТЛ) и *транзисторно-транзисторной логики с диодами Шоттки* (ТТЛШ), *логики на комплементарных МДП-транзисторах* (КМДП, КМОП), *на МДП-транзисторах с каналом *n*-типа* (*n*-МДП, *n*-МОП) и *на полевых транзисторах с затвором Шоттки на основе арсенида галлия* (ПТШ-GaAs).

Степень интеграции ЦИМС характеризуют коэффициентом компонентной интеграции k_k и коэффициентом функциональной интеграции k_ϕ .

Коэффициент компонентной интеграции определяется выражением:

$$k_k = \lg N_k, \quad (1.1)$$

где N_k — общее число элементов и компонентов, расположенных на кристалле, и характеризует, главным образом, уровень технологической сложности микросхемы. По величине коэффициента компонентной интеграции различают: ИМС первой степени интеграции, если $k_k \leq 1$; ИМС второй степени интеграции, если $k_k \leq 2$; ИМС третьей степени интеграции, если $k_k \leq 3$; ИМС четвертой степени интеграции, если $k_k \leq 4$; ИМС пятой степени интеграции, если $k_k > 4$.

Для определения функциональной сложности ЦИМС используется коэффициент функциональной интеграции:

$$k_\phi = \lg N_\phi, \quad (1.2)$$

где N_ϕ — количество логических элементов И-НЕ либо ИЛИ-НЕ, расположенных на кристалле микросхемы. Если в качестве элементной базы используются другие логические элементы, то величина N_ϕ определяется числом элементов И-НЕ либо ИЛИ-НЕ, требуемых для реализации эквивалентной логической функции микросхемы. По величине коэффициента функциональной интеграции различают: малые интегральные схемы (МИС), содержащие один или несколько логических элементов, когда $k_\phi \leq 1$ (триггер); средние интегральные схемы (СИС), содержащие один или несколько функциональных узлов, когда $k_\phi \leq 2$ (счетчик, регистр, сумматор); большие интегральные схемы (БИС), содержащие одно или несколько функциональных устройств, когда $2 \leq k_\phi \leq 4$ (АЛУ, ЗУ); сверхбольшие интегральные схемы (СБИС), имеющие $k_\phi > 4$ и выполняющие функции целых цифровых систем (микро-ЭВМ).

Для оценки сложности ЦИМС используется параметр, называемый «плотностью упаковки» $\gamma = N_k/V$, где V — объем кристалла без выводов.

Аналоговые интегральные микросхемы (АИМС) предназначены для обработки электрических сигналов, изменяющихся по законам непрерывных функций (аналоговых сигналов). Аналоговые сигналы представляют собой физические величины (напряжение, ток, частота колебаний и т. д.), мера которых отображает (кодирует) информацию.

В зависимости от выполняемой функции аналоговые ИМС подразделяются на следующие классы: операционные усилители, инструментальные ИМС, радиочастотные ИМС, силовые ИМС.



.....
Операционный усилитель — это многоцелевая ИМС, предназначенная для построения схем с фиксированным коэффициентом и точно синтезированной передаточной функцией.



.....
Инструментальная аналоговая ИМС — это многоцелевая ИМС, осуществляющая прецизионные преобразования аналоговых сигналов с обеспечением выполнения комплекса требований по точности, частотным свойствам и электрическим параметрам. От операционных усилителей инструментальные ИМС отличаются либо наличием цифровых цепей наряду с аналоговыми, либо внутренними обратными связями, реализующими стабилизацию определённых электрических параметров.

Радиочастотные ИМС предназначены для усиления и преобразования сигналов радиотехнического диапазона волн.

Силовые ИМС предназначены для использования в источниках вторичного электропитания, усилительных и передающих устройствах.

Среди аналоговых ИМС наибольшее применение получили операционные усилители, которые используются как основные функциональные узлы в различных линейных и нелинейных устройствах.



Контрольные вопросы по главе 1

.....

- 1) Чем обусловлено ограничение на сопротивления резисторов и емкости конденсаторов, применяемых в микросхемных структурах?
- 2) Что подразумевается под схемотехническим проектированием интегральных микросхем?
- 3) К какому классу интегральных микросхем по функциональному назначению относятся микросхемы аналого-цифровых преобразователей?
- 4) Какая полярность логики используется при представлении двоичной информации, если логической единице соответствует потенциал $U^1 = -1.6$ В, а логическому нулю — потенциал $U^0 = -0.8$ В?
- 5) Определить коэффициент функциональной интеграции триггера, построенного на основе двух логических элементов И-НЕ.

Глава 2

ХАРАКТЕРИСТИКИ И ПАРАМЕТРЫ ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Существует большое количество характеристик ЦИМС, определяющих работоспособность микросхем и снимаемых по определенным методикам. Характеристики ЦИМС делятся на статические и динамические. Статические характеристики представляют собой зависимости между входными и выходными токами и напряжениями в установившемся режиме работы. Динамические характеристики определяют поведение микросхем в переходных режимах, то есть при переключении из одного состояния в другое. По соответствующим характеристикам определяются статические и динамические параметры ЦИМС. Кроме статических и динамических параметров каждая интегральная микросхема характеризуется совокупностью конструктивных и схемотехнических параметров [6].

2.1 Схемотехнические и конструктивные параметры



.....
Коэффициент $k_{об}$ объединения по входу логического элемента — число входов логического элемента, по которым реализуется логическая функция, в том числе с учетом входов логических расширителей.
.....

Для элементов многоступенчатой логики различают коэффициент объединения по логической функции ИЛИ $k_{об. или}$ и коэффициент объединения по логической функции И $k_{об. и}$.

Характеристика снимается для одного из входов ЦИМС, а остальные входы подключаются к цепи, в которой в зависимости от логической структуры элемента действуют уровни напряжения логического нуля или логической единицы при заданном количестве нагрузок $k_{\text{раз}}$ на выходе элемента. В зависимости от вида передаточной характеристики различают инвертирующие и неинвертирующие логические элементы. Для инвертирующего элемента высокому уровню входного потенциала соответствует низкий, а для неинвертирующего — высокий уровень потенциала на выходе. Передаточная характеристика инвертирующего элемента представлена на рис. 2.1.

По передаточной характеристике определяют:

- пороговое напряжение $U_{\text{пор}}$ — входное напряжение, малые отклонения от которого в ту или другую сторону приводят к переходу логического элемента на его выходе из состояния логической «1» в состояние логического «0» или обратно;
- $U_{\text{вых. пор}}^1$, $U_{\text{вых. пор}}^0$ — значения выходных пороговых напряжений логических «1» и «0» соответственно, определяемых с помощью пороговых точек a и b , в которых дифференциальный коэффициент усиления по напряжению $k_U = -1$ (рис. 2.1);
- логический перепад $\Delta U = U_{\text{вых. пор}}^1 - U_{\text{вых. пор}}^0$;
- запас помехоустойчивости по уровню логического «0» $U_{\text{п}}^+$ и по уровню логической «1» $U_{\text{п}}^-$ — разность напряжений, измеряемых по оси входных напряжений передаточной характеристики в рабочей точке и ближайшей к ней точке с единичным усилением;
- помехозащищенность по уровню логического «0» $U_{\text{п}}^0$ и по уровню логической «1» $U_{\text{п}}^1$ — разность напряжений, измеряемых по оси входных напряжений передаточной характеристики в рабочей точке и пороговым напряжением;
- помехоустойчивость по уровню логического «0» и «1» — отношение помехозащищенности к логическому перепаду;
- уровни напряжения логического нуля U^0 и логической единицы U^1 .

Идеальная передаточная характеристика, для которой запас помехоустойчивости максимальный, должна соответствовать условиям: $U_{\text{вых. пор}}^0 = 0$, $U_{\text{вых. пор}}^1 = \Delta U$, $U_{\text{вх. пор}}^0 = U_{\text{вх. пор}}^1 = U_{\text{пор}} = \Delta U/2$ и тогда $U_{\text{п}}^+ = U_{\text{п}}^- = U_{\text{п}}^0 = U_{\text{п}}^1 = \Delta U/2$. Для повышения помехоустойчивости необходимо увеличивать логический перепад и значения входных пороговых напряжений, однако увеличение логического перепада связано с ростом напряжения питания и увеличением потребляемой мощности, а увеличение пороговых напряжений приводит к уменьшению быстродействия.

При оценке помехоустойчивости используют *напряжение статической помехи* — наибольшее входное напряжение, не изменяющее состояния элемента.



.....
Входная характеристика — зависимость входного тока от входного напряжения, то есть $I_{\text{вх}} = f_{\text{вх}}(U_{\text{вх}})$.

Характеристика снимается для одного из входов ЦИМС, а остальные входы подключаются к цепи, в которой в зависимости от логической структуры элемента действуют уровни напряжения логического нуля или логической единицы при заданном количестве нагрузок $k_{\text{раз}}$ на выходе элемента. Из входной характеристики определяют входные токи логического нуля $I_{\text{вх}}^0$ и логической единицы $I_{\text{вх}}^1$ при уровнях напряжения $U_{\text{вх}}^0$ и $U_{\text{вх}}^1$ соответственно.



.....
Выходная характеристика — зависимость выходного тока от выходного напряжения, то есть $I_{\text{вых}} = f_{\text{вых}}(U_{\text{вых}})$.

Характеристика снимается для двух состояний элемента — элемент включен, элемент выключен.

Инвертирующий элемент считается включенным, когда на его выходе действует напряжение низкого уровня, и выключенным, когда на его выходе действует напряжение высокого уровня. Неинвертирующий элемент считается включенным, когда на его выходе действует напряжение высокого уровня, и выключенным, когда на его выходе действует напряжение низкого уровня.

Для изменения выходного напряжения используется внешний источник питания с регулируемой полярностью и значением напряжения. Из выходной характеристики определяют выходные токи логического нуля $I_{\text{вых}}^0$ и логической единицы $I_{\text{вых}}^1$ при уровнях напряжения $U_{\text{вых}}^0$ и $U_{\text{вых}}^1$ соответственно.

2.3 Динамические характеристики и параметры

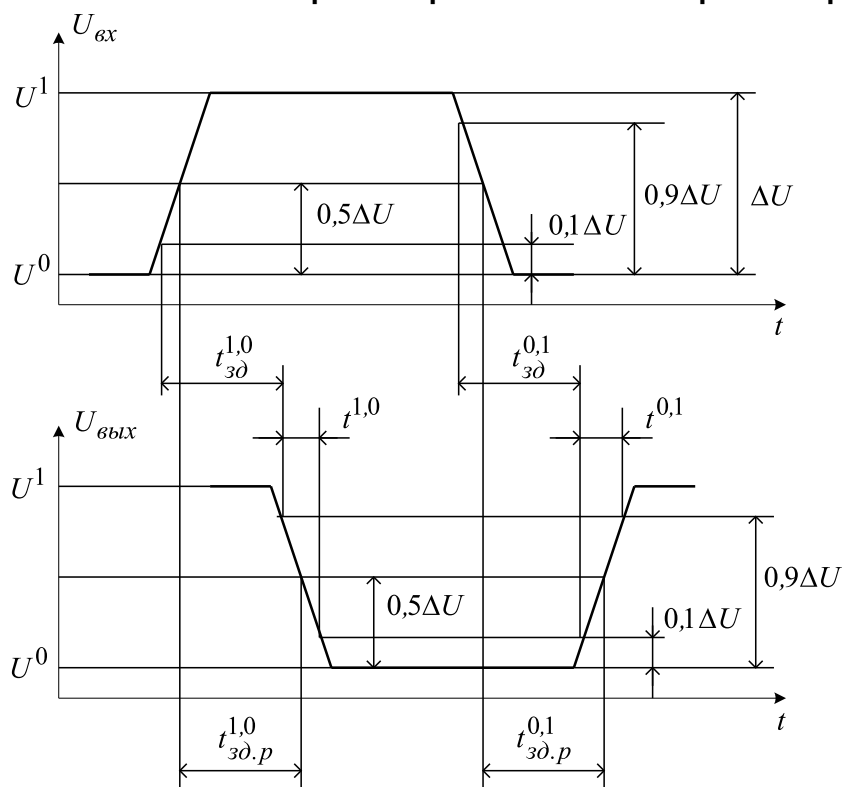


Рис. 2.2 – Основные динамические параметры

Основные динамические параметры рассмотрим на примере инвертирующего элемента. Характер изменения входного и выходного напряжений инвертирующего логического элемента в общем случае показан на рис. 2.2.

Основными параметрами цифровых микросхем при работе в динамическом режиме являются [6]:

- *Время перехода $t^{1,0}$ на выходе элемента из состояния логической единицы в состояние логического нуля* — интервал времени, в течение которого напряжение на выходе элемента изменяется от значения $U^1 - 0.9\Delta U$ до $U^0 + 0.1\Delta U$.
- *Время перехода $t^{0,1}$ на выходе элемента из состояния логического нуля в состояние логической единицы* — интервал времени, в течение которого напряжение на выходе элемента изменяется от значения $U^0 + 0.1\Delta U$ до $U^1 - 0.9\Delta U$.
- *Время задержки включения $t_{зд}^{1,0}$* — интервал времени между входным и выходным сигналами при переходе выходного напряжения от уровня логической единицы к уровню логического нуля, измеренный на уровне 0.1 логического перепада входного сигнала и 0.9 логического перепада выходного сигнала.
- *Время задержки выключения $t_{зд}^{0,1}$* — интервал времени между входным и выходным сигналами при переходе выходного напряжения от уровня логического нуля к уровню логической единицы, измеренный на уровне 0,9 логического перепада входного сигнала и 0,1 логического перепада выходного сигнала.
- *Время задержки распространения сигнала при включения $t_{зд.р}^{1,0}$* — интервал времени между входным и выходным сигналами при переходе выходного напряжения от уровня логической единицы к уровню логического нуля, измеренный на уровне 0.5 логического перепада входного и выходного сигналов.
- *Время задержки распространения сигнала при выключения $t_{зд.р}^{0,1}$* — интервал времени между входным и выходным сигналами при переходе выходного напряжения от уровня логического нуля к уровню логической единицы, измеренный на уровне 0.5 логического перепада входного и выходного сигналов.
- *Среднее время задержки распространения сигнала*

$$t_{зд.р.ср} = \frac{t_{зд.р}^{1,0} + t_{зд.р}^{0,1}}{2}.$$

- *Рабочая частота переключения $f_{п}$* — максимальная частота, на которой в наилучших условиях гарантируется срабатывание счетного триггера, составленного из логических элементов данной серии.

Динамическими характеристиками являются:

- *Динамическая нагрузочная характеристика*

$$t_{зд.р.ср} = f(C_{н} \text{ или } k_{раз}),$$

где $C_{н}$ — емкость нагрузки.

- *Формирующие характеристики* — зависимость времени перехода элемента на его выходе из одного состояния в другое от времени перехода из одного состояния в другое входного сигнала:

$$t_{\text{ВЫХ}}^{1,0} = f(t_{\text{ВХ}}^{0,1}), \quad t_{\text{ВЫХ}}^{0,1} = f(t_{\text{ВХ}}^{1,0}).$$

2.4 Энергетические характеристики и параметры

Мощность, потребляемая микросхемой от источника питания, зависит от ее логического состояния. Микросхема потребляет ток $I_{\text{П}}^0$ при $U_{\text{ВЫХ}} = U^0$ и ток $I_{\text{П}}^1$ при $U_{\text{ВЫХ}} = U^1$, поэтому *мощность потребления в состоянии логического нуля* определяется выражением $P_{\text{П}}^0 = U_{\text{ИП}} I_{\text{П}}^0$, а *мощность потребления в состоянии логической единицы* — выражением $P_{\text{П}}^1 = U_{\text{ИП}} I_{\text{П}}^1$.

Мощности потребления определяются при работе логического элемента в режиме холостого хода на выходе (без подключения нагрузок).



.....
Средняя мощность потребления определяется в предположении, что логический элемент периодически переключается со скважностью, равной двум, то есть половину периода на выходе формируется уровень логического нуля и половину периода — уровень логической единицы: $P_{\text{П.ср}} = \frac{P_{\text{П}}^1 + P_{\text{П}}^0}{2}$.

Мощность потребления указывается в паспорте на один логический элемент или чаще на микросхему в целом.

В процессе переключения цифровых микросхем ток в цепи источника питания существенно увеличивается. Вследствие этого микросхемы потребляют дополнительную, динамическую, мощность $P_{\text{дин}}$, величина которой пропорциональна частоте переключения $f_{\text{п}}$. В результате средняя мощность, потребляемая микросхемой в режиме переключения, $P = P_{\text{П.ср}} + P_{\text{дин}}$ оказывается больше, чем мощность $P_{\text{П.ср}}$ в статическом режиме. Для микросхем обычно приводят значение P при некоторой рабочей частоте, близкой к максимальной f_{max} .



.....
 Для характеристики цифровых микросхем используют параметр, называемый *работой переключения* $A_{\text{п}} = P_{\text{П.ср}} t_{\text{зд.р.ср}}$. Этот показатель оказывается постоянным в диапазоне изменения мощности $P_{\text{П.ср.min}} < P_{\text{П.ср}} < P_{\text{П.ср.max}}$ и характеризует качество схемотехнического проектирования и конструкторско-технологической реализации микросхемы.



Контрольные вопросы по главе 2

- 1) Определить логический перепад, если значения выходных пороговых напряжений логических «1» и «0» соответственно составляют $U_{\text{вых. пор}}^1 = 2.4 \text{ В}$, $U_{\text{вых. пор}}^0 = 0.4 \text{ В}$.
- 2) Определить помехозащищенность по уровню логического «0», если уровень напряжения логического нуля $U^0 = 0.4 \text{ В}$, а пороговое напряжение $U_{\text{пор}} = 2 \text{ В}$.
- 3) Определить помехоустойчивость идеальной передаточной характеристики.
- 4) Определить среднее время задержки распространения сигнала, если время задержки распространения сигнала при включении составляет $t_{\text{зд. п}}^{1,0} = 18 \text{ нс}$, а время задержки распространения сигнала при выключения $t_{\text{зд. п}}^{0,1} = 20 \text{ нс}$.
- 5) Определить средний ток, потребляемый интегральной микросхемой от источника питания, если средняя статическая мощность потребления составляет $P_{\text{п. ср}} = 60 \text{ мВт}$, а напряжение источника питания $U_{\text{ип}} = 5 \text{ В}$.

Глава 3

МАТЕМАТИЧЕСКИЙ АППАРАТ ЦИФРОВОЙ МИКРОЭЛЕКТРОНИКИ

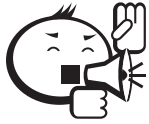
3.1 Арифметические коды

В цифровых системах применяют специальные коды для представления чисел.

Основной арифметической операцией, технически реализуемой в цифровой электронике, является операция арифметического сложения. Для выполнения операции алгебраического сложения применяют специальные коды представления чисел со знаком: прямой, обратный и дополнительный. При этом один из разрядов разрядной сетки (чаще всего старший) предназначен для отображения знака числа, причем для положительных чисел в знаковом разряде устанавливается цифра 0, а для отрицательных — цифра 1. Прямой, обратный и дополнительный коды положительных чисел совпадают. Прямой код отрицательных чисел содержит цифру 1 в знаковом разряде и двоичное значение модуля числа в остальных разрядах разрядной сетки. Для получения обратного кода отрицательного числа необходимо проинвертировать цифры всех разрядов прямого кода, кроме знакового разряда (единицы заменить нулями, а нули — единицами). Перевод отрицательного числа из обратного кода в прямой осуществляется по тому же правилу, что и из прямого кода в обратный. Для получения дополнительного кода отрицательных чисел необходимо выполнить арифметическое сложение обратного кода с числом 1, то есть проинвертировать все разряды прямого кода, кроме знакового разряда, и арифметически добавить число 1. Перевод отрицательного числа из дополнительного кода в прямой осуществляется по тому же правилу, что и из прямого кода в дополнительный.

Сложение чисел с одинаковыми знаками достаточно просто реализуется в прямом коде: арифметически складываются модули чисел, а в знаковый разряд суммы устанавливается цифра, соответствующая знакам слагаемых. Значительно более сложно реализовать в прямом коде операцию сложения чисел с разными знаками:

необходимо определять большее по модулю число, выполнять вычитание и присваивать разности знак большего по модулю числа. Поэтому в цифровой электронике операция алгебраического сложения сводится к операции арифметического сложения с использованием дополнительного кода.



При алгебраическом сложении с использованием дополнительного кода арифметически суммируются дополнительные коды слагаемых, включая знаковые разряды, которые при этом рассматриваются как обычные старшие разряды чисел. При возникновении переноса из знакового разряда единица переноса отбрасывается. Результат сложения формируется в дополнительном коде, если разрядная сетка не переполняется, а его знак определяется получившимся значением знакового разряда.

Операция вычитания с использованием дополнительного кода сводится к операции алгебраического сложения. При этом предварительно преобразуется вычитаемое: инвертируются все его разряды, включая знаковый разряд, и арифметически добавляется единица.

Например, определим разность чисел 22 и 13 при 8-разрядной сетке. Так как уменьшаемое и вычитаемое — положительные числа, их дополнительные двоичные коды совпадают с прямыми: $22_{10} = 00010110_2$, $13_{10} = 00001101_2$. Инвертируя все разряды вычитаемого, включая знаковый разряд, и арифметически добавляя 1, получим

$$\begin{array}{r} 00001101 \longrightarrow 11110010 \\ + 1 \\ \hline 11110011 \end{array}$$

Арифметически суммируя коды 00010110 и 11110011, найдем

$$\begin{array}{r} + 00010110 \\ 11110011 \\ \hline 100001001 \end{array} \quad \begin{array}{l} \text{— разность в дополнительном коде} \\ \text{— знаковый разряд} \end{array}$$

Значение знакового разряда равно 0, поэтому получено положительное число $00001001_2 = 9_{10}$.

Для вычитания числа 13 из числа 22 инвертируем все разряды, включая знаковый разряд, числа $22_{10} = 00010110_2$ и арифметически добавляем единицу. В результате получаем

$$\begin{array}{r} 00010110 \longrightarrow 11101001 \\ + 1 \\ \hline 11101010 \end{array}$$

Арифметически суммируя коды 00001101 и 11101010, найдем

$$\begin{array}{r}
 + 00001101 \\
 11101010 \\
 \hline
 \boxed{1}1110111
 \end{array}
 \quad \begin{array}{l}
 \text{— разность в дополнительном коде} \\
 \text{— знаковый разряд}
 \end{array}$$

Поскольку значение знакового разряда равно 1, получено отрицательное число, представленное в дополнительном коде. Переводя разность в прямой код, определим

$$\begin{array}{r}
 11110111 \longrightarrow 10001000 \\
 + \qquad \qquad \qquad 1 \\
 \hline
 10001001,
 \end{array}$$

то есть $10001001_2 = -9_{10}$.

В цифровых устройствах обрабатывается и хранится не только числовая, но и алфавитно-цифровая информация, содержащая цифры, буквы, математические и другие символы, которые представляются соответствующими двоичными кодами.

При взаимодействии цифровых устройств с оператором вводимая и выводимая числовая информация зачастую должна быть представлена в десятичной системе счисления, тогда как ее обработка и хранение осуществляется в форме двоичных кодов. Однако перевод десятичных чисел в двоичную систему счисления и обратно требует использования достаточно сложных схем преобразователей и занимает относительно долгое время. В связи с этим для представления в цифровых системах десятичных чисел используются специальные двоично-десятичные коды.

В двоично-десятичном коде 8–4–2–1 каждая цифра десятичного числа представляется соответствующим двоичным четырехразрядным числом (двоичной *тетрадой*). Например,

$$\begin{array}{ccc}
 \frac{5}{\downarrow} & \frac{1}{\downarrow} & \frac{7}{\downarrow} \\
 0101 & 0001 & 0111
 \end{array}
 = 010100010111_{2/10}$$

Код 8–4–2–1 удобен для перевода в цифровых устройствах чисел из десятичной системы в двоичную систему и обратно, поскольку является естественным представлением десятичных чисел в двоичной системе. Этот код аддитивен, то есть сумма двоичных кодов цифр есть двоичный код их суммы. Однако использование этого кода сопряжено с трудностью обнаружения переноса в следующий десятичный разряд, а также со сложностью перехода к обратным и дополнительным кодам.

3.2 Функции алгебры логики и их основные свойства

Булевой функцией (БФ) называется функция, аргументами которой являются логические переменные, а сама функция, как и ее аргументы, может принимать только два значения: «истинно» — 1 или «ложно» — 0. Если булева функция зависит от L аргументов, то ее аргументы образуют 2^L логических (двоичных) наборов значений, которые нумеруются от 0 до $2^L - 1$. На каждом наборе аргументов функция может принимать значение 0 или 1. Таким образом, булева функция от L аргументов может быть полностью задана таблицей, содержащей 2^L строк, в которых записываются все возможные двоичные наборы значений аргументов и указаны значения функции на каждом наборе. Такая таблица называется таблицей истинности. Пример табличного задания функции $y(x_1, x_2, x_3)$ представлен в табл. 3.1.

Таблица 3.1 – Таблица истинности логической функции $y(x_1, x_2, x_3)$

Номер набора	x_1	x_2	x_3	$y(x_1, x_2, x_3)$
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1



.....
 Значения булевой функции могут быть заданы не на всех 2^L возможных наборах значений аргументов. Такие булевы функции называют *неполностью определенными* или *частичными*.

Для наборов значений аргументов, на которых частичная функция не определена, в столбце значений функции таблицы истинности указывается знак «х». Частичная булева функция может быть доопределена путем подстановки на место со знаком «х» 0 либо 1. Таким образом, если функция не определена на k наборах значений аргументов, то путем ее возможных доопределений можно получить 2^k различных полностью определенных булевых функций.

Полностью определенная булева функция $y(x_1, \dots, x_l, \dots, x_L)$ существенно зависит от аргумента x_l , если выполняется соотношение $y(x_1, \dots, 0, \dots, x_L) \neq y(x_1, \dots, 1, \dots, x_L)$.

В противном случае функция фактически не зависит от аргумента x_l , который является ее фиктивным аргументом.

Важное значение в алгебре логики играют булевы функции, называемые *конституентой единицы (минтермом)* и *конституентой нуля (макстермом)*.



.....

Конституента единицы (минтерм) от L аргументов — это булева функция, которая принимает единичное значение только на одном логическом наборе значений аргументов, а на остальных $(2L - 1)$ логических наборах обращается в нуль.

.....



.....

Конституента нуля (макстерм) от L аргументов — это булева функция, которая принимает нулевое значение только на одном логическом наборе значений аргументов, а на остальных $(2L - 1)$ логических наборах обращается в единицу.

.....

Число различных булевых функций от L аргументов конечно и равно 2^{2^L} .

Рассмотрим более подробно булевы функции, имеющие наиболее важное практическое значение.

Булева функция *инверсия, отрицание x или логическое НЕ* (читается «не x ») зависит от одного аргумента, принимает значение логической единицы, когда аргумент равен логическому нулю, и наоборот. Запись функции имеет вид $f = \bar{x}$.

Булева функция «*дизъюнкция*» (функция «ИЛИ», логическое сложение) в общем случае может зависеть от L аргументов и представляет собой логическую функцию типа конституенты нуля, которая обращается в нуль только в том случае, когда все аргументы равны нулю, и в единицу на всех остальных наборах аргументов. Запись дизъюнкции от L аргументов имеет вид:

$$f(x_1, x_2, \dots, x_L) = x_1 + x_2 + \dots + x_L. \quad (3.1)$$

Булева функция «*конъюнкция*» (функция «И», логическое умножение) в общем случае может зависеть от L аргументов и представляет собой логическую функцию типа конституенты единицы, которая обращается в единицу только в том случае, когда все аргументы равны единице, и в нуль на всех остальных наборах аргументов. Запись конъюнкции от L аргументов имеет вид:

$$f(x_1, x_2, \dots, x_L) = x_1 \cdot x_2 \cdot \dots \cdot x_L. \quad (3.2)$$

Булева функция «*стрелка Пирса*» (функция Пирса, функция «ИЛИ-НЕ») в общем случае может зависеть от L аргументов и представляет собой логическую функцию типа конституенты единицы, которая обращается в единицу только в том случае, когда все аргументы равны нулю, и в нуль на всех остальных наборах аргументов. Запись функции Пирса от L аргументов имеет вид:

$$f(x_1, x_2, \dots, x_L) = \overline{x_1 + x_2 + \dots + x_L}. \quad (3.3)$$

Булева функция «*штрих Шеффера*» (функция Шеффера, функция «И-НЕ») в общем случае может зависеть от L аргументов и представляет собой логическую функцию типа конституенты нуля, которая обращается в нуль только в том случае, когда все аргументы равны единице, и в единицу на всех остальных наборах аргументов. Запись функции Шеффера от L аргументов имеет вид:

$$f(x_1, x_2, \dots, x_L) = \overline{x_1 \cdot x_2 \cdot \dots \cdot x_L}. \quad (3.4)$$

Булева функция «исключающее ИЛИ» (функция сложения по модулю 2) в общем случае может зависеть от L аргументов и представляет собой логическую функцию, которая обращается в единицу, если нечетное количество аргументов принимает единичное значение, и в нуль, если единичное значение принимают четное количество аргументов. Запись функции «исключающее ИЛИ» от L аргументов имеет вид:

$$f(x_1, x_2, \dots, x_L) = x_1 \oplus x_2 \oplus \dots \oplus x_L. \quad (3.5)$$

3.3 Основные законы алгебры логики

Свойства дизъюнкции, конъюнкции и функции «исключающее ИЛИ».

Функции дизъюнкции и конъюнкции обладают свойством *коммутативности*:

$$x_1 + x_2 = x_2 + x_1, \quad x_1 x_2 = x_2 x_1, \quad x_1 \oplus x_2 = x_2 \oplus x_1.$$

Функции дизъюнкции и конъюнкции обладают свойством *ассоциативности*:

$$(x_1 + x_2) + x_3 = x_1 + (x_2 + x_3) = x_1 + x_2 + x_3,$$

$$(x_1 x_2) x_3 = x_1 (x_2 x_3) = x_1 x_2 x_3,$$

$$(x_1 \oplus x_2) \oplus x_3 = x_1 \oplus (x_2 \oplus x_3) = x_1 \oplus x_2 \oplus x_3,$$

что позволяет удалять скобки.

Конъюнкция *дистрибутивна* относительно дизъюнкции и относительно функции «исключающее ИЛИ»:

$$x_1 (x_2 + x_3) = x_1 x_2 + x_1 x_3, \quad x_1 (x_2 \oplus x_3) = x_1 x_2 \oplus x_1 x_3,$$

что позволяет раскрывать скобки в более сложных булевых выражениях и выносить общий множитель за скобки.

Дизъюнкция *дистрибутивна* относительно конъюнкции:

$$x_1 + (x_2 x_3) = (x_1 + x_2) (x_1 + x_3).$$

Конъюнкция и дизъюнкция обладают свойством *идемпотентности*:

$$x + x = x, \quad x x = x,$$

откуда следует, что в булевых выражениях нет ни коэффициентов, ни степеней.

Теорема де Моргана (теорема двойственности).

Инверсия конъюнкции есть дизъюнкция инверсий; инверсия дизъюнкции есть конъюнкция инверсий:

$$\overline{x_1 x_2} = \overline{x_1} + \overline{x_2}, \quad \overline{x_1 + x_2} = \overline{x_1} \cdot \overline{x_2}.$$

С применением метода математической индукции свойства конъюнкции, дизъюнкции, функции «исключающее ИЛИ», а также теореме де Моргана, сформулированные для минимального числа переменных, могут быть распространены на произвольное число переменных.

Теорема поглощения:

$$x_1 + x_1x_2 = x_1 \text{ — дизъюнктивная форма,}$$

$$x_1(x_1 + x_2) = x_1 \text{ — конъюнктивная форма.}$$

Теорема склеивания:

$$x_1x_2 + x_1\bar{x}_2 = x_1 \text{ — дизъюнктивная форма,}$$

$$(x_1 + x_2)(x_1 + \bar{x}_2) = x_1 \text{ — конъюнктивная форма.}$$

Теоремы одной переменной:

$$x + 0 = x \quad x \cdot 0 = 0 \quad x \oplus 0 = x \quad \bar{\bar{x}} = x$$

$$x + 1 = 1 \quad x \cdot 1 = x \quad x \oplus 1 = \bar{x}$$

$$x + x = x \quad x \cdot x = x \quad x \oplus x = 0$$

$$x + \bar{x} = 1 \quad x \cdot \bar{x} = 0 \quad x \oplus \bar{x} = 1$$

3.4 Алгебраические формы представления функций алгебры логики

Алгебраическая форма представления функций алгебры логики предусматривает запись функции в форме логического выражения, показывающего, какие логические операции и в какой последовательности должны выполняться над аргументами функции.



.....

Логические выражения, представляющие собой дизъюнкции отдельных членов, каждый из которых, в свою очередь, есть некоторая функция, содержащая только конъюнкции и инверсии, называются *логическими выражениями дизъюнктивной формы*.

.....



.....

Дизъюнктивная форма представления булевой функции, в которой инверсия применяется лишь непосредственно к аргументам, но не к более сложным функциям от этих аргументов, называется *дизъюнктивной нормальной формой (ДНФ)* представления функции.

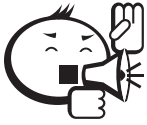
.....



.....

Если каждый член дизъюнктивной нормальной формы булевой функции от L аргументов содержит *все L аргументов*, то такая форма представления называется *совершенной дизъюнктивной нормальной формой (СДНФ)* булевой функции.

.....



.....
 Логические выражения, представляющие собой конъюнкции отдельных членов, каждый из которых, в свою очередь, есть некоторая функция, содержащая только дизъюнкции и инверсии, называются *логическими выражениями конъюнктивной формы*.

По аналогии с дизъюнктивными формами различают *конъюнктивную нормальную форму (КНФ)* и *совершенную конъюнктивную нормальную форму (СКНФ)*.

Целесообразность записи функций в дизъюнктивной и конъюнктивных формах определяется исходя из характера задания функции.

Если произвольная булева функция от L аргументов задана перечислением всех наборов аргументов, обращающих ее в единицу, то для каждого из этих наборов составляют конституенту единицы с помощью конъюнкций и инверсий и затем образуют дизъюнкцию всех этих конституент. Конституенту единицы от всех L аргументов составляют по правилу: в каждом i -ом наборе L аргументов, которые обращают функцию в конституенту единицы, аргументы, равные нулю, записывают с инверсией, а аргументы, равные единице, — без инверсии. Например, для функции четырех аргументов $f(x_1, x_2, x_3, x_4) = (2, 10)$ СДНФ имеет вид:

$$f(x_1, x_2, x_3, x_4) = x_1 \cdot \bar{x}_2 \cdot x_3 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 \cdot \bar{x}_4.$$

Если произвольная булева функция от L аргументов задана перечислением всех наборов аргументов, обращающих ее в нуль, то для каждого из этих наборов составляют конституенту нуля с помощью дизъюнкций и инверсий и затем образуют конъюнкцию всех этих конституент. Конституенту нуля от всех L аргументов составляют по правилу: в каждом i -ом наборе L аргументом, которые обращают функцию в конституенту нуля, аргументы, равные единице, записывают с инверсией, а аргументы, равные нулю, — без инверсии. Например, для функции четырех аргументов $f(x_1, x_2, x_3, x_4) = (0, 1, 2, 3, 4, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15)$ СКНФ имеет вид:

$$f(x_1, x_2, x_3, x_4) = (x_1 + \bar{x}_2 + x_3 + \bar{x}_4) (\bar{x}_1 + x_2 + x_3 + \bar{x}_4).$$

Булева функция в СДНФ может быть получена на основе таблицы истинности. Чтобы осуществить переход от табличного представления функции к алгебраическому в СДНФ, каждому набору аргументов ставится в соответствие минтерм — конъюнкция всех аргументов, которые входят в прямом виде, если значение аргумента в данном наборе равно единице, либо в инверсном виде, если значение аргумента равно нулю. Для L аргументов составляются $q = 2^L$ минтермов: m_0, m_1, \dots, m_{q-1} . Все минтермы функции двух переменных даны в табл. 3.2.

Алгебраическое выражение булевой функции F в СДНФ имеет вид [1]:

$$F = \sum_{i=0}^{q-1} f_i m_i \quad (3.6)$$

где f_i, m_i — значение функции и минтерм, соответствующие i -ому набору аргументов функции.

Таблица 3.2 – Минтермы и макстермы логической функции двух переменных

x_1	x_2	Минтермы	Макстермы	Значения функции F
0	0	$m_0 = \bar{x}_1\bar{x}_2$	$M_0 = x_1 + x_2$	1
0	1	$m_1 = \bar{x}_1x_2$	$M_1 = x_1 + \bar{x}_2$	0
1	0	$m_2 = x_1\bar{x}_2$	$M_2 = \bar{x}_1 + x_2$	1
1	1	$m_3 = x_1x_2$	$M_3 = \bar{x}_1 + \bar{x}_2$	1

Используя формулу (3.6), получим выражение в СДНФ булевой функции, заданной в таблице 3.2, ($L = 2$, $q = 2^2 = 4$):

$$F = \sum_{i=0}^3 f_i m_i = 1 \cdot m_0 + 0 \cdot m_1 + 1 \cdot m_2 + 1 \cdot m_3 = m_0 + m_2 + m_3 = \bar{x}_1\bar{x}_2 + x_1\bar{x}_2 + x_1x_2.$$

Для перехода от табличного представления функции к алгебраическому в СКНФ каждому набору аргументов ставится в соответствие макстерм — дизъюнкция всех аргументов, которые входят в прямом виде, если значение аргумента в данном наборе равно нулю, либо в инверсном виде, если значение аргумента равно единице. Для функции L переменных составляются $q = 2^L$ макстермов: M_0, M_1, \dots, M_{q-1} . Между макстермами и минтермами существует вполне определенная связь (табл. 3.2), состоящая в том, что макстерм — это инверсия одноименного минтерма, а минтерм, в свою очередь, — инверсия одноименного макстерма:

$$M_i = \bar{m}_i, \quad m_i = \bar{M}_i, \quad (3.7)$$

где $i = \overline{0, 2^L - 1}$.

Алгебраическое выражение булевой функции F в СКНФ имеет вид [1]:

$$F = \overline{\sum_{i=0}^{q-1} \overline{f_i m_i}} = \overline{\prod_{i=0}^{q-1} \overline{f_i m_i}} = \overline{\prod_{i=0}^{q-1} (\bar{f}_i + \bar{m}_i)} = \prod_{i=0}^{q-1} (f_i + \bar{m}_i) = \prod_{i=0}^{q-1} (f_i + M_i), \quad (3.8)$$

где f_i, M_i — значение функции и макстерм, соответствующие i -ому набору аргументов функции.

На основе формулы (3.8) получим выражение в СКНФ булевой функции, заданной в таблице 3.2 ($L = 2$, $q = 2^2 = 4$):

$$F = \prod_{i=0}^3 (f_i + M_i) = (1 + M_0)(0 + M_1)(1 + M_2)(1 + M_3) = M_1 = x_1 + \bar{x}_2.$$

Используя законы алгебры логики, нетрудно доказать эквивалентность полученных алгебраических выражений рассмотренной булевой функции в СДНФ и СКНФ:

$$\begin{aligned} F &= \bar{x}_1\bar{x}_2 + x_1\bar{x}_2 + x_1x_2 = \bar{x}_1\bar{x}_2 + x_1\bar{x}_2 + x_1\bar{x}_2 + x_1x_2 = (\bar{x}_1\bar{x}_2 + x_1\bar{x}_2) + (x_1\bar{x}_2 + x_1x_2) = \\ &= \bar{x}_2(\bar{x}_1 + x_1) + x_1(\bar{x}_2 + x_2) = \bar{x}_2 + x_1 = x_1 + \bar{x}_2. \end{aligned}$$

Если в выражениях (3.6) и (3.8) для функции F вместо значений функции f_i использовать их инверсии \bar{f}_i , то получатся СДНФ и СКНФ для функции \bar{F} , которая является инверсией заданной.

Следует отметить, что любая логическая функция L имеет единственные СДНФ и СКНФ.

3.5 Минимизация функций алгебра логики

Под минимизацией функций алгебры логики понимают поиск алгебраического выражения булевой функции, которое содержит минимальное число символов логических переменных.

Один из подходов к решению задачи минимизации булевых функций состоит в использовании карт Карно (Karnaugh).

Карта Карно является координатным способом представления булевых функций. При этом способе задания таблица истинности функции представляется в виде координатной карты состояний, которая содержит 2^L клеток (по числу наборов значений аргументов булевой функции). Аргументы функции разбиваются на две группы так, что одна группа определяет координаты столбца карты, а другая — координаты строки. При таком способе построения каждая клетка определяется значениями аргументов, соответствующих определенному двоичному набору. Внутри каждой клетки карты Карно ставится значение функции на данном наборе.

Переменные в строках и столбцах располагаются так, чтобы соответствующие наборы значений аргументов образовывали циклический код Грея, тогда соседние клетки различаются только в одном разряде наборов значений аргументов.

Для функции двух аргументов (рис. 3.1, а): правая половина карты Карно соответствует зоне прямых значений, левая — зоне инверсных значений аргумента x_2 ; нижняя половина соответствует зоне прямых значений, верхняя — зоне инверсных значений аргумента x_1 .

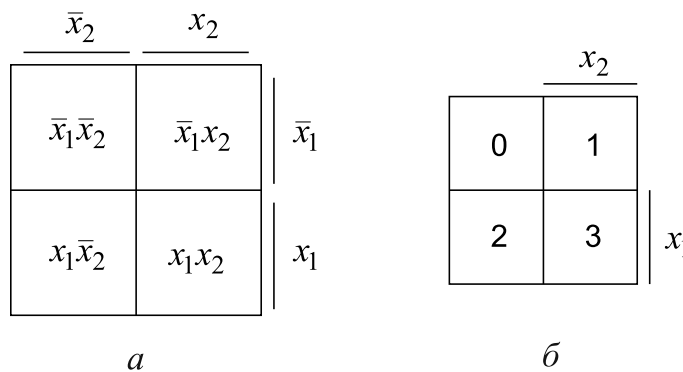


Рис. 3.1 – Карта Карно функции двух аргументов

Каждая клетка карты Карно соответствует минтерму, определяемому зонами, на пересечении которых она расположена. Левая верхняя клетка находится на пересечении зон инверсных значений аргументов x_1 и x_2 , следовательно, соответствует минтерму $\bar{x}_1\bar{x}_2$. Правая верхняя клетка находится на пересечении зон прямых значений аргумента x_1 и инверсных значений аргумента x_2 , следовательно, соответствует минтерму $x_1\bar{x}_2$.

По аналогии оставшиеся клетки соответствуют минтермам \bar{x}_1x_2 и x_1x_2 .

На рис. 3.1, б приведена карта Карно для функции двух аргументов, в клетках которой указаны десятичные номера соответствующих наборов значений аргументов (строк таблицы истинности).

В карте Карно для функции трех аргументов (рис. 3.2, а) каждому минтерму также соответствует одна клетка, и, как и в случае карты Карно функции двух ар-

гументов, алгебраическая запись минтермов строго соответствует системе размещения аргументов вокруг карты. На рис. 3.2, б представлена карта Карно функции трех аргументов, в клетках которой указаны номера наборов значений аргументов функции. Кроме того, на ней указаны только зоны прямых значений аргументов, а оставшаяся зона по каждой стороне карты Карно закреплена за инверсным значением соответствующего аргумента.

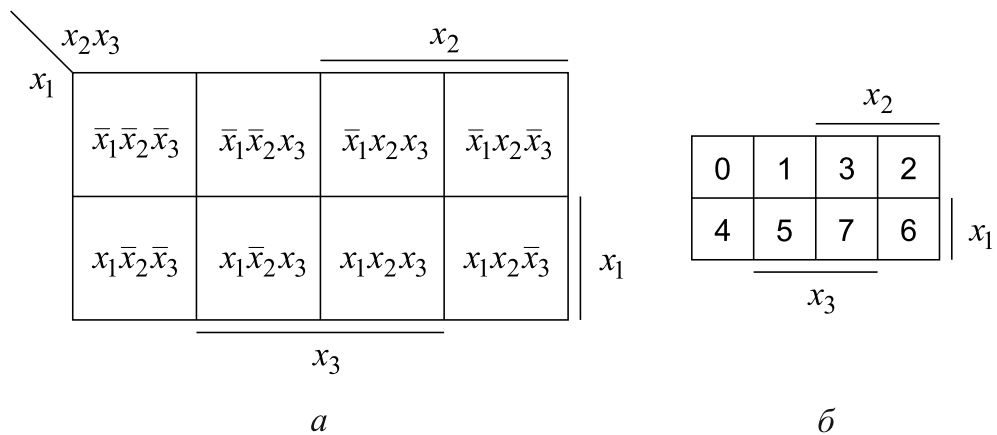


Рис. 3.2 – Карта Карно функции трех аргументов

На рис. 3.3 представлены карты Карно функции четырех аргументов, в клетках которых указаны соответствующие минтермы и номера наборов значений аргументов.

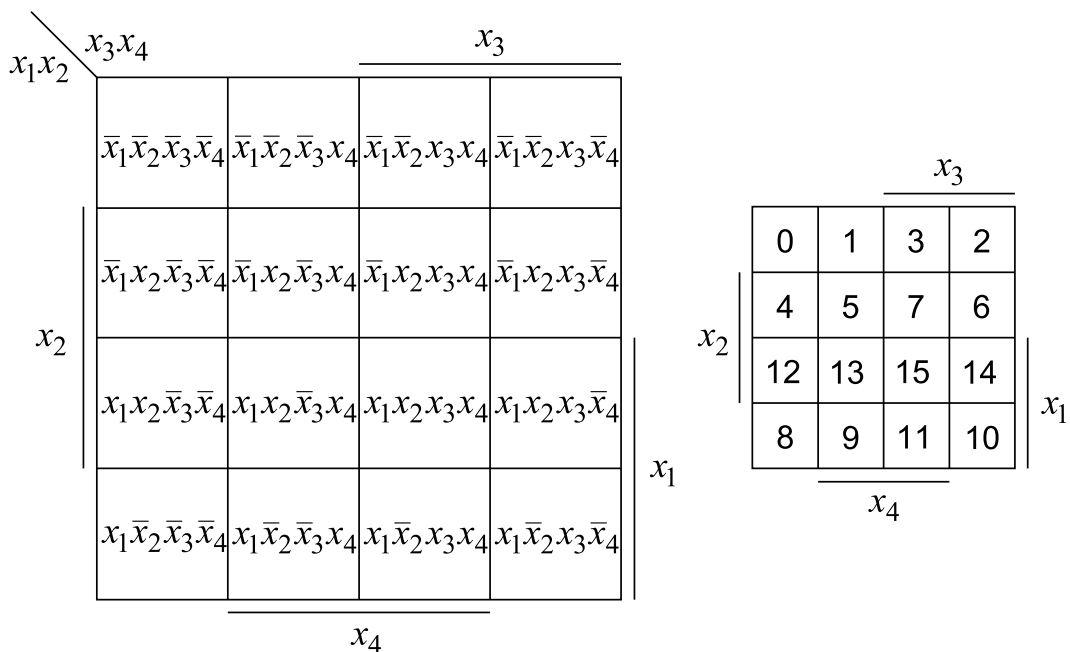


Рис. 3.3 – Карта Карно функции четырех аргументов

По аналогии можно строить карты Карно функций пяти аргументов и более. Так, для представления функции пяти аргументов необходимо использовать две карты четырех переменных, зеркально отображенных относительно центральной вертикальной линии (рис. 3.4).

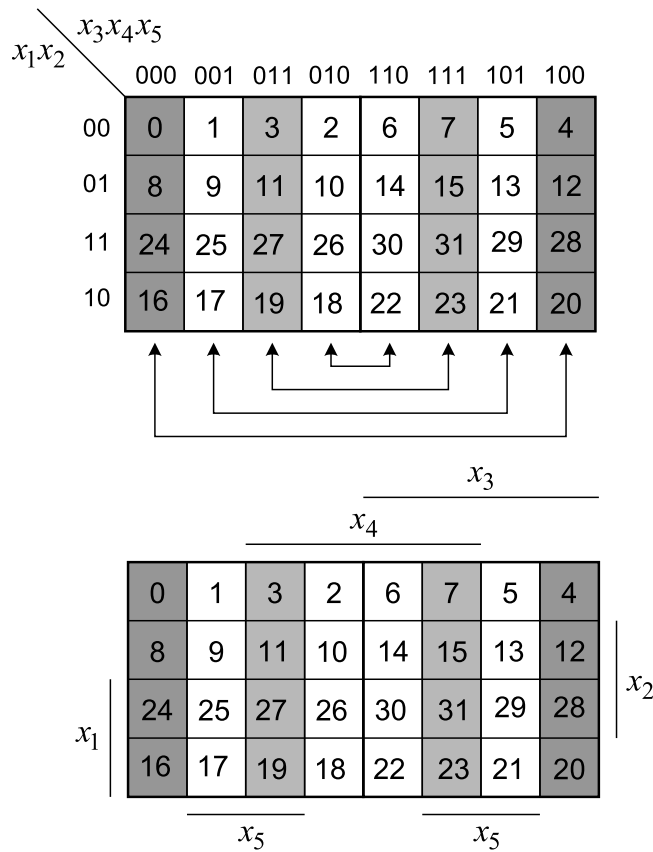


Рис. 3.4 – Карта Карно функции пяти аргументов

Особенностью изображения карт Карно для числа переменных более четырех является то, что «математически» соседние столбцы карты Карно оказываются пространственно разнесенными. При этом столбцы одного цвета в правой и левой частях карты фактически оказываются соседними по аргументу x_3 (соседние столбцы указываются стрелками в нижней части карты).

Для представления на карте Карно булевой функции, записанной в СДНФ, необходимо ставить единицы в клетки, соответствующие наборам значений аргументов, на которых функция принимает значение 1.

Если функция является полностью определенной, то оставшиеся клетки заполняются нулями (либо не заполняются). Например, функции

$$f = \bar{x}_1 x_2 \bar{x}_3 + \bar{x}_1 x_2 x_3 + x_1 \bar{x}_2 \bar{x}_3 + x_1 x_2 x_3 \quad \text{или} \quad f(x_1, x_2, x_3) = (2, 3, 4, 7)$$

соответствует карта Карно (рис. 3.5).

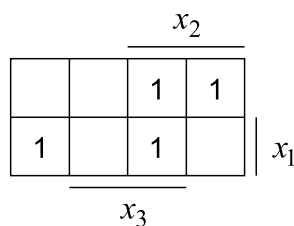


Рис. 3.5 – Карта Карно функции трех аргументов

Одно из достоинств карты Карно состоит в том, что на нее нетрудно нанести функцию, представленную не только в совершенной, но и в произвольной дизъюнктивной нормальной форме. Например, функции

$$f = x_1x_2 + \bar{x}_1x_3 + x_1\bar{x}_2x_3$$

соответствует карта Карно (рис. 3.6).

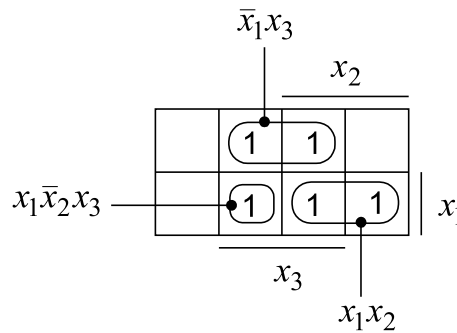


Рис. 3.6 – Карта Карно функции трех аргументов

а функции

$$f = x_1 + x_2x_3$$

соответствует карта Карно (рис. 3.7).

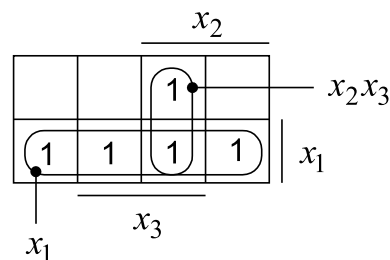


Рис. 3.7 – Карта Карно функции трех аргументов

В первом случае каждая конъюнкция, наносимая на карту, занимает новую область, не пересекающуюся с другими, а во втором — конъюнкция x_2x_3 частью занимает новую клетку, а частью — уже занятую. Отметим, что если в клетке уже стоит одна единица, то другие единицы ставить нет необходимости.

Для записи булевой функции в минимальной ДНФ используются следующие правила:

- все клетки, содержащие 1, объединяются в замкнутые области;
- каждая область должна представлять собой прямоугольник, содержащий 2^k клеток, где $k = 0, 1, 2, \dots$;
- области могут пересекаться, то есть одни и те же клетки могут входить в разные области;
- при охвате клеток карты замкнутыми областями следует учитывать, что клетки карты, для которых наборы значений аргументов различаются только в одном разряде, являются соседними (клетки, расположенные

рядом по горизонтали и вертикали; клетки, расположенные на противоположных границах карты; клетки, расположенные зеркально относительно центральной вертикальной и горизонтальной линий);

- при охвате клеток необходимо стремиться, чтобы число замкнутых областей было минимальным, а число входящих в область клеток — максимальным;
- выражение булевой функции записывается в виде дизъюнкции конъюнкций, соответствующих каждой области, причем ранг конъюнкции (число входящих в конъюнкцию аргументов) на k меньше, чем число n аргументов функции;
- аргумент не включается в конъюнкцию, если замкнутая область делится пополам областью прямых значений этого аргумента;
- аргумент включается в конъюнкцию в прямом виде, если замкнутая область лежит в области прямых значений этого аргумента, и в инверсном виде, если замкнутая область лежит в области его инверсных значений.

Минимизированная ДНФ, полученная на основе наименьшей совокупности замкнутых областей, охватывающих клетки нулевых значений функции, представляет собой минимизированное инверсное значение функции.

Карты Карно позволяют минимизировать не только полностью определенные, но и частичные булевы функции. В этом случае в клетках карты, соответствующих логическим наборам, на которых функция не определена, будут записаны символы «х». В процессе упрощения булевой функции любую клетку, содержащую символ «х», можно считать либо единичной, либо нулевой, причем доопределение функции до единицы применяется, когда это позволяет уменьшить количество замкнутых областей или сократить ранг конъюнкции. Пример доопределения булевой функции представлен на рис. 3.8.

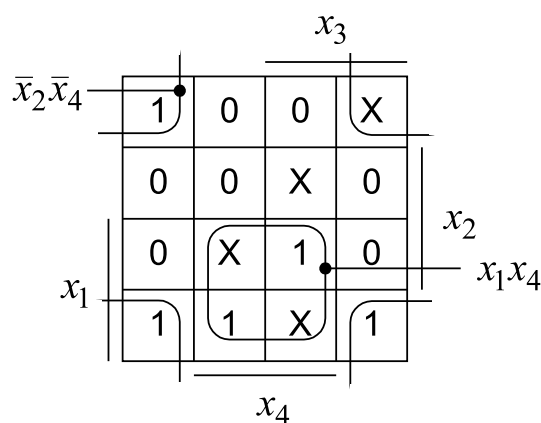


Рис. 3.8 – Карта Карно четырех переменных

Карту Карно можно построить для функции любого числа аргументов, однако на практике ограничиваются картами 5, реже 6 и уже совсем редко 7 и 8 аргументов, так как с увеличением числа аргументов быстро возрастает сложность карты и соответственно снижается эффективность ее использования.

Для минимизации булевых функций большого числа аргументов используют алгебраические методы (алгоритмы): метод упрощения, предложенный Квайном (Quine) и модифицированный Мак-Класки (McCluskey); методы Петрика, Рота, Блейка-Порецкого и др. Эти методы эффективны при минимизации достаточно сложных булевых функций с применением средств вычислительной техники.



Контрольные вопросы по главе 3

- 1) Записать дополнительные коды чисел 44 и (-44) в 8-разрядной вычислительной сетке.
- 2) Определить дополнительный код суммы, полученной при сложении дополнительных кодов чисел 33 и (-60) в 8-разрядной вычислительной сетке.
- 3) Записать двоично-десятичный код 8-4-2-1 десятичного числа 26.
- 4) Составьте таблицу истинности булевой функции $x_1 \oplus x_2 \oplus x_3$.
- 5) Определить количество конституент нуля от 4 аргументов.
- 6) Укажите десятичные номера наборов значений аргументов x_1, x_2, x_3, x_4 , на которых булева функция $f = (x_1 + x_2)(x_4 + \bar{x}_2) + \bar{x}_3 + \bar{x}_1 + (\bar{x}_1 + x_3)(\bar{x}_2 + x_4)$ принимает единичные значения.
- 7) Нанесите на карту Карно булеву функцию $f = x_1 + x_2x_3$.
- 8) Запишите минимизированное выражение булевой функции по карте Карно:

	x_2			
	1	1		
1	1	1	1	x_1
	x_3			

- 9) Запишите минимизированное выражение булевой функции по карте Карно:

		x_3		
	X	0	0	X
	0	1	X	0
0	X	1	0	x_2
1	0	X	1	
	x_4			

10) Запишите алгебраические выражения булевой функции в СДНФ и СКНФ:

x_1	x_2	x_3	f
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Глава 4

ЦИФРОВЫЕ МИКРОЭЛЕКТРОННЫЕ УСТРОЙСТВА КОМБИНАЦИОННОГО ТИПА

4.1 Основные положения

В общем случае комбинационное цифровое устройство (КЦУ) может иметь $n \geq 1$ входов и $m \geq 1$ выходов. Если информационные значения входных сигналов обозначить как x_i ($i = \overline{1, n}$), а выходных сигналов — y_j ($j = \overline{1, m}$), то на каждом выходе КЦУ формируется некоторая булева функция $y_j = f_j(x_1, x_2, \dots, x_n)$, $j = \overline{1, m}$. Указанная запись говорит о том, что любому набору значений входных переменных x_i ($i = \overline{1, n}$) такого устройства, поданному в произвольный момент времени, однозначно соответствует набор значений переменных y_j ($j = \overline{1, m}$) на его выходах. Комбинационное устройство часто рассматривают как логический $n \times m$ -полюсник, а булевы функции $f_j(x_1, x_2, \dots, x_n)$, $j = \overline{1, m}$ называют системой собственных функций $n \times m$ -полюсника.

Исходными данными для проектирования цифрового устройства комбинационного типа являются его функциональное описание и требования к основным электрическим параметрам. Функциональное описание комбинационного устройства обычно дается в виде таблицы истинности или алгебраического выражения. На основе функционального описания синтезируют структурную схему минимальной сложности, после чего разрабатывают схему электрическую принципиальную на заданной или выбранной элементной базе.

При выборе оптимального варианта цифрового устройства (например, по критерию сложности), в том числе и комбинационного, необходимо учитывать ограничения, которые накладываются характеристиками реальных логических элементов:

- к выходу всякого реального логического элемента можно подключить лишь ограниченное число входов других элементов;

- общее число входов логического элемента ограничено;
- конечное время распространения сигнала в логических элементах может в отдельных случаях привести к нарушению работоспособности цифрового устройства.

4.2 Логические элементы

Логические элементы являются простейшими комбинационными цифровыми устройствами и выполняют элементарные логические операции над двоичными переменными.

Инвертор (логический элемент НЕ) содержит один вход и один выход и реализует логическую функцию «инверсия» (отрицание) $y = \bar{x}$.

Конъюнктор (логический элемент И) содержит $n \geq 1$ входов и один выход и реализует булеву функцию «конъюнкция» $y = \prod_{i=1}^n x_i = x_1 x_2 \dots x_n$. Таким образом, выходной сигнал конъюнктора принимает значение $y = 1$ тогда и только тогда, когда на все его входы одновременно поданы сигналы $x_i = 1$ ($i = \overline{1, n}$), а если хотя бы на один из входов подан сигнал $x_i = 0$, то на выходе также будет сигнал $y = 0$.

Дизъюнктор (логический элемент ИЛИ) также содержит $n \geq 1$ входов и один выход и реализует булеву функцию «дизъюнкция» $y = \sum_{i=1}^n x_i = x_1 + x_2 + \dots + x_n$. Выходной сигнал дизъюнктора принимает значение $y = 1$ тогда, когда хотя бы на один из его входов подан сигнал $x_i = 1$, и значение $y = 0$, когда одновременно на все входе поданы сигналы $x_i = 0$ ($i = \overline{1, n}$).

Логический элемент Шеффера (элемент И-НЕ) содержит $n \geq 1$ входов и один выход и реализует булеву функцию «штрих Шеффера» (логическую функцию И-НЕ) $y = \overline{\prod_{i=1}^n x_i} = \overline{x_1 x_2 \dots x_n} = \sum_{i=1}^n \bar{x}_i = \bar{x}_1 + \bar{x}_2 + \dots + \bar{x}_n$.

Когда на все входы элемента Шеффера одновременно поданы сигналы $x_i = 1$ ($i = \overline{1, n}$), на его выходе формируется сигнал $y = 0$; если же хотя бы на один из входов подан сигнал $x_i = 0$, то на выходе формируется сигнал $y = 1$. Из теоремы де Моргана следует, что элемент Шеффера при переходе от положительной логики к отрицательной становится дизъюнктором.

Логический элемент Пирса (элемент ИЛИ-НЕ) содержит $n \geq 1$ входов и один выход и реализует булеву функцию «стрелка Пирса» (логическую функцию ИЛИ-НЕ) $y = \sum_{i=1}^n \bar{x}_i = \overline{x_1 + x_2 + \dots + x_n} = \prod_{i=1}^n \bar{x}_i = \bar{x}_1 \cdot \bar{x}_2 \cdot \dots \cdot \bar{x}_n$. Когда на все входы элемента Шеффера одновременно поданы сигналы $x_i = 0$ ($i = \overline{1, n}$), на его выходе формируется сигнал $y = 1$; если же хотя бы на один из входов подан сигнал $x_i = 1$, то на выходе формируется сигнал $y = 0$. По аналогии с элементом Шеффера элемент Пирса при переходе от положительной логики к отрицательной становится конъюнктором.

Логический элемент «исключающее ИЛИ» содержит $n \geq 1$ входов и один выход и реализует булеву функцию «исключающее ИЛИ» (сложение по модулю 2) $y = x_1 \oplus x_2 \oplus \dots \oplus x_n$. Выходной сигнал элемента «исключающее ИЛИ» принимает значение $y = 1$ тогда, когда сигналы $x_i = 1$ поданы на нечетное количество входов.

Перед обозначением многовходовых логических элементов обычно указывается число их входов, по которым реализуется соответствующая логическая функция, то есть коэффициент объединения по входу.

Подобно тому, как сложная булева функция может быть получена суперпозицией более простых функций, так и любое комбинационное цифровое устройство может быть реализовано комбинацией из логических элементов. При этом используется технический аналог операции суперпозиции: последовательное соединение комбинационных схем, в том числе и логических элементов, соответствует подстановке в булевы функции в качестве аргументов других булевых функций, а пересоединение по входам комбинационных схем соответствует перестановке аргументов булевых функций.

В одной интегральной микросхеме может быть несколько логических элементов, поэтому для сокращения обозначения состава микросхемы перед помещенным в круглые скобки наименованием элемента иногда указывают число этих элементов в одном корпусе микросхемы. Например, обозначению 4 (2И-НЕ) соответствует интегральная микросхема в составе 4 двухвходовых логических элементов И-НЕ.

При построении цифровых устройств часто возникает необходимость объединения выходов нескольких логических элементов с целью перехода на один общий выход. Эта задача может решаться разными способами. Можно выполнить объединение нескольких выходов с помощью логического элемента ИЛИ, однако это сопровождается дополнительными аппаратными затратами и ухудшением основных электрических параметров (увеличением среднего времени задержки распространения сигнала, повышением потребляемой мощности и т. д.). Другой способ связан с применением монтажной логики, основанной на соединении выходов нескольких логических элементов непосредственно либо с использованием диодных логических схем.

Для непосредственного соединения выходов нескольких логических элементов необходимо использовать элементы с открытым коллектором (стоком) или открытым эмиттером (истоком). На условных графических обозначениях логических элементов вывод с открытым коллектором (стоком) обозначается меткой ∇ , а вывод с открытым эмиттером (истоком) — меткой ∇ .

Один из наиболее широко используемых способов объединения выходов логических элементов основан на применении элементов, содержащих выходы с состоянием высокого импеданса (с тремя состояниями), которые на условных графических обозначениях обозначаются меткой \diamond . Состояние высокого импеданса соответствует отключению выходного каскада микросхемы от нагрузки, что позволяет объединять выходы непосредственно.

4.3 Методика синтеза комбинационных устройств

Синтез комбинационного устройства предполагает построение схемы минимальной сложности на основе логических элементов выбранного или заданного базиса по заданному алгоритму его функционирования. Процесс синтеза комбинационных устройств состоит из двух этапов:

- этап структурного (абстрактного) синтеза заключается в формализованном описании устройства с помощью аппарата булевых функций, их минимизации и построении структурной схемы устройства;
- схемный синтез сводится к выбору элементной базы и построению схемы электрической принципиальной.

Реализация задачи структурного синтеза сводится к четырем последовательным этапам.

1. *Формализованная запись условий функционирования комбинационного устройства* предполагает формирование таблиц истинности или запись алгебраических выражений реализуемых устройством булевых функций. Кроме того, условия функционирования могут быть заданы с помощью некоторой функциональной схемы. В этом случае необходимо проверить, действительно ли функциональная схема имеет минимальную сложность, используя один из критериев оценки сложности цифрового устройства, например на основе подсчета суммарного числа входов логических элементов, входящих в состав устройства (цена схемы по Квайну). Обычно устройство с минимальным суммарным числом входов содержит и минимальное число корпусов интегральных схем, что является дополнительным доводом в пользу такой оценки.

2. *Запись и минимизация алгебраических выражений булевых функций.* Минимизация логических выражений булевых функций, определяющих алгоритмы функционирования комбинационного цифрового устройства, обеспечивает уменьшение числа логических элементов, требуемых для его аппаратной реализации, что ведет к улучшению основных показателей по быстродействию, потребляемой мощности, степени миниатюризации. В процессе минимизации широко используются преобразования булевых функций с помощью соотношений алгебры логики, а также графические и специальные алгебраические методы. Для минимизации булевых функций относительно небольшого числа аргументов ($n \leq 6$) наиболее простым и наглядным является графический метод, основанный на использовании карт Карно. Для функций большего числа аргументов ($n > 6$) можно путем декомпозиции выделить более простые булевы функции с числом аргументов не более 6, которые затем минимизировать с помощью карт Карно. Комбинационные схемы, содержащие несколько выходов, на которых реализуются булевы функции f_1, f_2, \dots, f_m , часто синтезируются как несколько комбинационных устройств, имеющих общие входы и по одному отдельному выходу. В этом случае булевы функции f_1, f_2, \dots, f_m минимизируются независимо друг от друга, а общая схема состоит из изолированных подсхем. Иногда ее удается упростить за счет объединения участков подсхем, реализующих одинаковые члены, входящие в булевы функции f_1, f_2, \dots, f_m . Во многих случаях целесообразно проводить совместную минимизацию булевых функций f_1, f_2, \dots, f_m , то есть получать такие логические выражения, которые обеспечивают наиболее простую логическую структуру схемы в целом.

3. *Запись минимизированных выражений булевых функций в заданном базисе.* Поскольку базовые логические элементы современных цифровых микросхем выполняют операции И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ, то часто возникает необходимость записи выражений булевых функций в одном из этих базисов. При этом необходимо учитывать, что к выходу всякого реального логического элемента можно подключить лишь ограниченное число входов других элементов. Нагрузочная спо-

способность задается коэффициентом разветвления, который и определяет наибольшее допустимое количество входов логических элементов, подключаемых к выходу данного элемента. В некоторых случаях приходится обеспечивать разгрузку элемента, то есть схемным путем перераспределять часть нагрузки на другие элементы. Кроме того, необходимо учитывать ограниченное число входов реальных логических элементов, которое задается коэффициентом объединения по входу. Поэтому в булевом выражении, на основе которого реализуется комбинационное устройство, дизъюнкции (конъюнкции) могут содержать лишь ограниченное число членов. Если реализация функции требует использования логических элементов с коэффициентами объединения и разветвления, большими заданных, то следует провести необходимые дополнительные преобразования булева выражения так, чтобы получить выражение, для реализации которого требуются логические элементы с коэффициентами объединения и разветвления, не большими заданных. Однако при этом возрастают общее число логических элементов в схеме и число последовательно включенных каскадов элементов, то есть увеличиваются потребляемая мощность и среднее время задержки распространения сигнала. Таким образом, снижение требований к значениям коэффициентов разветвления и объединения элементов либо приводит к снижению быстродействия и экономичности комбинационных устройств, либо требует соответствующего уменьшения значений потребляемой мощности и среднего времени задержки распространения сигнала элементов.

4. *Составление структурной схемы.* На этом этапе каждой логической операции преобразованного булева выражения ставится в соответствие определенный логический элемент заданного (или выбранного) базиса и производятся необходимые соединения между элементами.

Например, требуется синтезировать структурную схему комбинационного цифрового устройства в базисе И-НЕ, алгоритм функционирования которого задан таблицей истинности (табл. 4.1).

Таблица 4.1 – Таблица истинности комбинационного цифрового устройства

Номер набора	x_1	x_2	x_3	x_4	y	Номер набора	x_1	x_2	x_3	x_4	y
0	0	0	0	0	х	8	1	0	0	0	0
1	0	0	0	1	0	9	1	0	0	1	х
2	0	0	1	0	х	10	1	0	1	0	1
3	0	0	1	1	0	11	1	0	1	1	0
4	0	1	0	0	х	12	1	1	0	0	1
5	0	1	0	1	1	13	1	1	0	1	0
6	0	1	1	0	х	14	1	1	1	0	1
7	0	1	1	1	1	15	1	1	1	1	0

Так как задан базис И-НЕ, то целесообразно использовать СДНФ. Составим карту Карно, представленную на рис. 4.1.

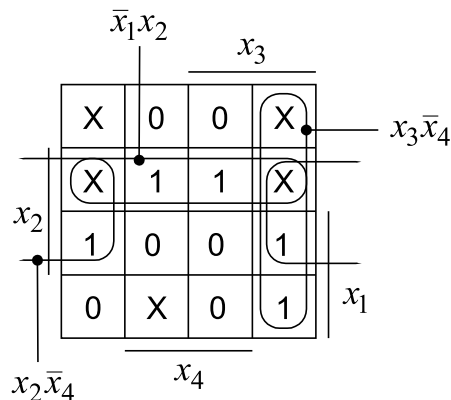


Рис. 4.1 – Карта Карно функции четырех аргументов

Минимизированная ДНФ функции имеет вид:

$$y = \bar{x}_1x_2 + x_2\bar{x}_4 + x_3\bar{x}_4. \quad (4.1)$$

Для перехода в базис И-НЕ ставим два знака инверсии над правой частью полученного минимизированного выражения (4.1) и, применив формулу де Моргана, получим:

$$y = \overline{\overline{\bar{x}_1x_2 + x_2\bar{x}_4 + x_3\bar{x}_4}} = \overline{\overline{\bar{x}_1x_2} \cdot \overline{x_2\bar{x}_4} \cdot \overline{x_3\bar{x}_4}}.$$

Окончательное булево выражение имеет вид:

$$y = \overline{\overline{\bar{x}_1x_2} \cdot \overline{x_2\bar{x}_4} \cdot \overline{x_3\bar{x}_4}} = \overline{\overline{\bar{x}_1x_1x_2} \cdot \overline{x_2\bar{x}_4x_4} \cdot \overline{x_3\bar{x}_4x_4}},$$

а соответствующая этому выражению структурная схема представлена на рис. 4.2, а.

Рассмотрим другой подход к синтезу структурной схемы, для чего преобразуем выражение (4.1) путем вынесения за скобки общего члена из первых двух конъюнкций $y = x_2(\bar{x}_1 + \bar{x}_4) + x_3\bar{x}_4$.

Используя формулу де Моргана, получим:

$$y = x_2(\bar{x}_1 + \bar{x}_4) + x_3\bar{x}_4 = x_2\overline{\bar{x}_1\bar{x}_4} + x_3\bar{x}_4,$$

после чего перейдем в базис И-НЕ:

$$y = \overline{\overline{x_2\bar{x}_1\bar{x}_4} + x_3\bar{x}_4} = \overline{\overline{x_2\bar{x}_1\bar{x}_4} \cdot \overline{x_3\bar{x}_4x_4}}. \quad (4.2)$$

Булеву выражению (4.2) соответствует структурная схема, представленная на рис. 4.2, б. Этот вариант проще предыдущего.

Пример показывает, что после применения карт Карно возможно дополнительное упрощение булевых выражений с помощью соотношений алгебры логики.

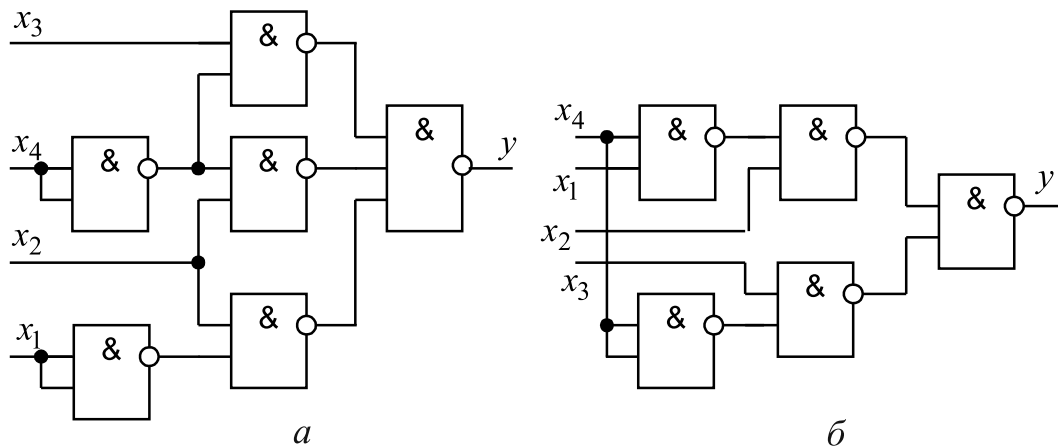


Рис. 4.2 – Схемы комбинационных устройств, реализующих логическую функцию четырех переменных

4.4 Мультиплексоры и демультиплексоры

Назначение мультиплексоров (от англ. *multiplex* — многократный) — коммутировать в желаемом порядке информацию, поступающую с нескольких входов, на один выход. Мультиплексоры в цифровой аппаратуре используются для временного разделения информации, поступающей по разным каналам [6].

Мультиплексоры обладают двумя группами входов и одним, реже двумя (взаимодополняющими) выходами, один из которых прямой, а другой — инверсный. Одна группа входов объединяет информационные входы, а другая служит для управления работой мультиплексора. Управляющие входы подразделяются на адресные входы и разрешающие (стробирующие) входы. Полный мультиплексор, обладающий n адресными входами, содержит 2^n информационных входов и обозначается как «мультиплексор $2^n - 1$ ». Если на адресные входы подать n -разрядный двоичный код числа $i \in \{0, 1, 2, \dots, 2^n - 1\}$, то выход подключится к i -му информационному входу, то есть информация, поступающая на i -ый информационный вход, будет проходить на выход независимо от того, какие сигналы поступают на остальные информационные входы.

Разрешающий (стробирующий) вход управляет одновременно всеми информационными входами независимо от состояния адресных входов. Запрещающий сигнал на этом входе блокирует действие всей комбинационной схемы мультиплексора. Наличие разрешающего входа расширяет функциональные возможности мультиплексора, позволяя синхронизировать его работу с работой других узлов цифровой техники. Разрешающий вход используется также для наращивания разрядности мультиплексора. Логическая функция, выполняемая полным мультиплексором с n адресными входами и одним прямым входом разрешения на прямом выходе, имеет вид:

$$f = E \sum_{i=0}^{2^n-1} m_i d_i, \quad (4.3)$$

где m_i — минтерм, соответствующий i -му набору переменных на адресных входах; E — сигнал на входе разрешения; d_i — сигнал на i -ом информационном входе.

Например, для полного мультиплексора 8–1 (рис. 4.3) логическая функция имеет вид:

$$f = E \sum_{i=0}^7 m_i d_i = E(\bar{a}_2 \bar{a}_1 \bar{a}_0 d_0 + \bar{a}_2 \bar{a}_1 a_0 d_1 + \bar{a}_2 a_1 \bar{a}_0 d_2 + \bar{a}_2 a_1 a_0 d_3 + a_2 \bar{a}_1 \bar{a}_0 d_4 + a_2 \bar{a}_1 a_0 d_5 + a_2 a_1 \bar{a}_0 d_6 + a_2 a_1 a_0 d_7),$$

где a_i — сигналы, подаваемые на адресные входы мультиплексора.



Рис. 4.3 – Полный мультиплексор 8–1

У интегральных микросхем мультиплексоров число информационных входов не превышает 16. Большее число входов обеспечивается наращиванием двумя способами: объединением нескольких мультиплексоров в пирамидальную (древовидную) систему либо последовательным соединением разрешающих входов и внешних логических элементов.

На рис. 4.4 показана организация мультиплексора 32–1 из двух мультиплексоров 16–1 с использованием разрешающих входов мультиплексоров в качестве адресных входов высшего разряда. Такой мультиплексор должен иметь $\log_2 32 = 5$ адресных входов. Адресными входами низших разрядов служат входы a_0, a_1, a_2, a_3 . Разрешающие входы в данном случае используются для подачи высшего разряда a_4 : на мультиплексор *DD1* в прямом виде, на мультиплексор *DD2* — в инверсном.

Мультиплексор *DD1* работает при $a_4 = 0$, мультиплексор *DD2* — при $a_4 = 1$. Благодаря логическому элементу И-НЕ сигналы на выходе f будут одинаковыми с входными.

Мультиплексоры помимо прямого назначения могут выполнять и другие функции, например использоваться для преобразования параллельного двоичного кода в последовательный, работать в качестве универсального логического элемента, реализующего любую логическую функцию, содержащую до $(n + 1)$ аргументов. Применение мультиплексора в качестве универсального логического элемента особенно оправдано, когда число переменных достаточно велико (4–5 и более).

Использование мультиплексора в качестве универсального логического элемента основано на общем свойстве логических функций — независимо от числа аргументов всегда равняться логической единице или нулю: $f(x_1, x_2, \dots, x_n) \in \{0, 1\}$.

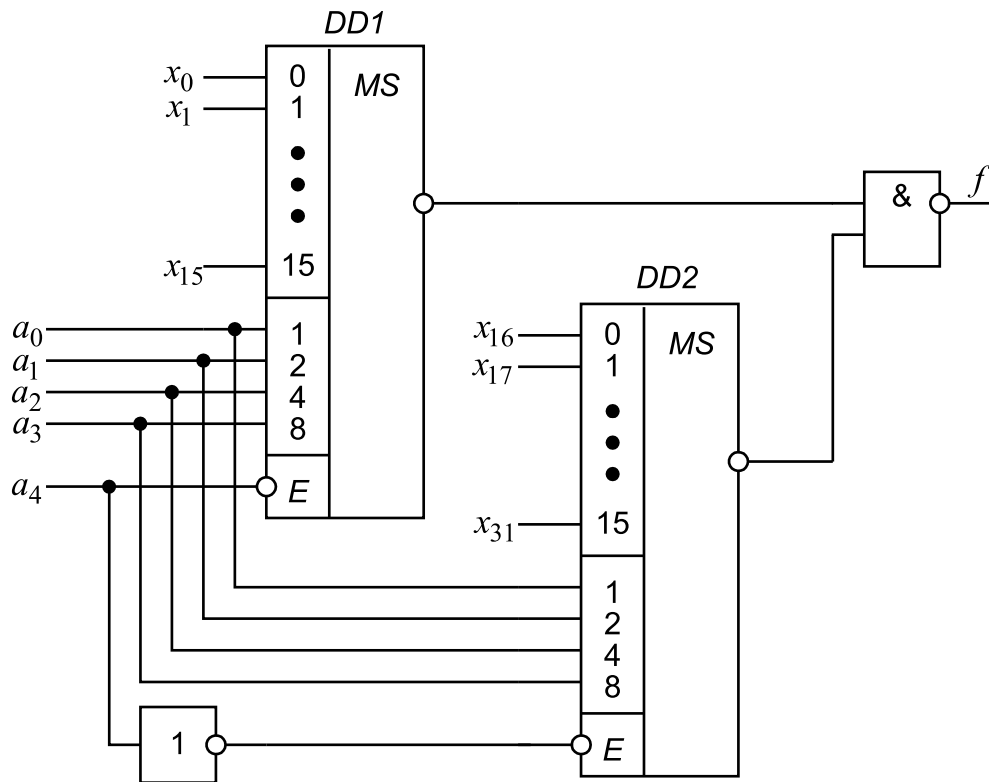


Рис. 4.4 – Нарастание разрядности мультиплексора последовательным соединением разрешающих входов

Если на адресные входы мультиплексора подавать входные переменные, зная, какой выходной уровень должен отвечать каждому сочетанию этих сигналов, то, предварительно установив на информационных входах потенциалы нуля и единицы согласно заданному алгоритму, получим устройство, реализующее требуемую функцию.

В качестве примера на рис. 4.5 представлена реализация с помощью четырехвходового мультиплексора функции «исключающее ИЛИ» двух аргументов.

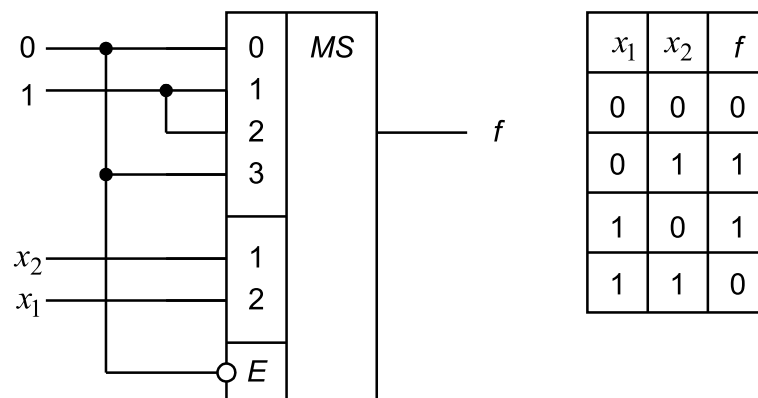


Рис. 4.5 – Реализация функции «исключающее ИЛИ» двух аргументов с помощью мультиплексора

Как следует из таблицы истинности для функции «исключающее ИЛИ», сочетаниям $x_1x_2 = 00$ и $x_1x_2 = 11$ отвечает значение $f = 0$, а двум другим $x_1x_2 = 01$ и $x_1x_2 = 10$ — значение $f = 1$. Для выполнения этих условий достаточно подать на адресные входы мультиплексора сигналы $a_1 = x_2$ и $a_0 = x_1$, а на информационные входы — сигналы $d_0 = d_3 = 0$, $d_1 = d_2 = 1$. Разрешающий вход при этом должен быть под действием напряжения логического нуля.

Если число аргументов равно $(n + 1)$, то мультиплексор следует использовать несколько иначе. Например, требуется с помощью четырехвходового мультиплексора реализовать функцию трех аргументов, заданную таблицей истинности.

x_1	x_2	x_3	f	Примеч.
0	0	0	1	$f = 1$
0	0	1	1	
0	1	0	0	$f = x_3$
0	1	1	1	
1	0	0	0	$f = 0$
1	0	1	0	
1	1	0	1	$f = \bar{x}_3$
1	1	1	0	

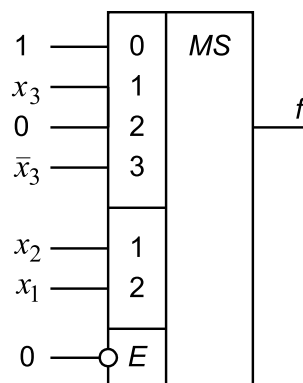


Рис. 4.6 – Реализация функции трех аргументов на четырехвходовом мультиплексоре

Разделение таблицы истинности на группы по две строки в каждой показывает: в каждой группе аргументы x_1 и x_2 неизменны, аргумент x_3 младшего разряда имеет два состояния, выходной сигнал f имеет одно из четырех значений 1, 0, x_3 и \bar{x}_3 . Если значения аргументов x_1 и x_2 подать на адресные входы мультиплексора $a_1 = x_1$ и $a_0 = x_2$, а на информационные входы подать, согласно таблице истинности, сигналы 1, 0, x_3 и \bar{x}_3 , то такая схема (рис. 4.6) будет выполнять заданную логическую функцию.

Аналогично можно проектировать комбинационные цифровые устройства и с большим числом входов.



.....
 Демultipлексоры в функциональном отношении противоположны мультиплексорам: сигналы с одного информационного входа распределяются в необходимой последовательности по нескольким выходам.

Выбор нужного выхода, как и в мультиплексоре, обеспечивается двоичным кодом на адресных входах. При n адресных входах полный демultipлексор имеет 2^n выходов, которые могут быть прямыми или инверсными. На каждом прямом вы-

ходе демультиплексора, содержащего прямой вход разрешения, реализуется булева функция:

$$f_i = Em_i d, \quad (4.4)$$

где m_i — минтерм, соответствующий i -му набору переменных на адресных входах; E — сигнал на входе разрешения; d — сигнал на информационном входе.

Например, полный демультиплексор 1–4 (рис. 4.7) на своих выходах реализует систему булевых функций:

$$f_0 = \overline{E}m_0d = \overline{E}\overline{a_1}\overline{a_0}d, \quad f_1 = \overline{E}m_1d = \overline{E}\overline{a_1}a_0d, \quad f_2 = \overline{E}m_2d = \overline{E}a_1\overline{a_0}d, \\ f_3 = \overline{E}m_3d = \overline{E}a_1a_0d.$$

ИМС демультиплексоров имеют 4, 8 или 16 выходов. Если требуется большее число выходов, демультиплексоры наращиваются в систему, и в этом отношении принципиального различия с мультиплексорами нет.

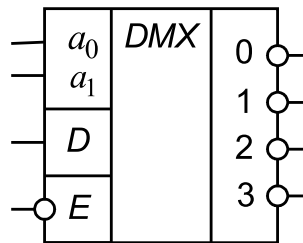


Рис. 4.7 – Условное графическое обозначение полного демультиплексора 1–4

4.5 Шифраторы и дешифраторы

К основным видам преобразования информации в цифровых системах относят шифрацию и дешифрацию, для реализации которых используют комбинационные цифровые устройства, называемые шифраторами и дешифраторами соответственно.



.....
Шифратором называют комбинационную схему, реализующую преобразование унитарного кода «1 из n » $X = x_{n-1} \dots x_0$ в m -разрядный двоичный код $Y = y_{m-1} \dots y_0$.

В унитарном коде «1 из n » только один разряд принимает значение 1, а все оставшиеся разряды — 0. Если в унитарном коде $x_l = 1$, то число $Y = y_{m-1} \dots y_0$ представляет собой двоичный код номера разряда l .

Число входов шифратора не превышает количества возможных комбинаций выходных сигналов: $n \leq 2^m$, причем если $n = 2^m$, то шифратор называют полным, а если $n < 2^m$, то неполным.

Принцип функционирования полного шифратора 8–3, преобразующего унитарный код «1 из 8» в трехразрядный двоичный код, определяется таблицей истинности (табл. 4.2).

Таблица 4.2 – Таблица истинности полного шифратора 8–3

№	x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0	y_2	y_1	y_0
0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	1	0	0	0	1
2	0	0	0	0	0	1	0	0	0	1	0
3	0	0	0	0	1	0	0	0	0	1	1
4	0	0	0	1	0	0	0	0	1	0	0
5	0	0	1	0	0	0	0	0	1	0	1
6	0	1	0	0	0	0	0	0	1	1	0
7	1	0	0	0	0	0	0	0	1	1	1

На основе таблицы истинности можно записать соответствующие булевы выражения для y_2, y_1, y_0 , а затем выполнить необходимые действия по их упрощению. В данном случае можно воспользоваться особенностью входных переменных, которые в интересующих нас комбинациях только в одном разряде имеют единичное значение. Это позволяет избежать записи и преобразования выражений булевых функций в общем виде, достаточно громоздких в случае восьми входных переменных, и представить выражения для выходных переменных в виде:

$$y_2 = x_7 + x_6 + x_5 + x_4 = \overline{\overline{x_7 \overline{x_6} \overline{x_5} \overline{x_4}}}, \quad y_1 = x_7 + x_6 + x_3 + x_2 = \overline{\overline{x_7 \overline{x_6} \overline{x_3} \overline{x_2}}},$$

$$y_0 = x_7 + x_5 + x_3 + x_1 = \overline{\overline{x_7 \overline{x_5} \overline{x_3} \overline{x_1}}}.$$

Реализация полного шифратора 8–3 требует трех четырехходовых логических элементов ИЛИ либо трех четырехходовых и семи двухходовых логических элементов И-НЕ.

Часто на практике возникает необходимость преобразования в двоичный код n -разрядного кода, только один разряд которого принимает значение 0, а все остальные – 1. Для этой цели можно использовать шифраторы с инверсными входами. Например, неполному шифратору 10–4 с инверсными входами, преобразующему унитарный код «1» из «10» в четырехразрядный двоичный код, соответствует таблица истинности (табл. 4.3).

Таблица 4.3 – Таблица истинности, соответствующая неполному шифратору 10–4 с инверсными входами

№	x_9	x_8	x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0	y_3	y_2	y_1	y_0
0	1	1	1	1	1	1	1	1	1	0	0	0	0	0
1	1	1	1	1	1	1	1	1	0	1	0	0	0	1
2	1	1	1	1	1	1	1	0	1	1	0	0	1	0
3	1	1	1	1	1	1	0	1	1	1	0	0	1	1
4	1	1	1	1	1	0	1	1	1	1	0	1	0	0
5	1	1	1	1	0	1	1	1	1	1	0	1	0	1
6	1	1	1	0	1	1	1	1	1	1	0	1	1	0
7	1	1	0	1	1	1	1	1	1	1	0	1	1	1
8	1	0	1	1	1	1	1	1	1	1	1	0	0	0
9	0	1	1	1	1	1	1	1	1	1	1	0	0	1

По аналогии с шифратором 8–3 в данном случае можно воспользоваться особенностью входных переменных, которые в интересующих нас комбинациях только в одном разряде имеют нулевое значение, что позволяет представить выражения для выходных переменных в виде:

$$\begin{aligned}y_3 &= \bar{x}_9 + \bar{x}_8 = \overline{x_9 x_8}, y_2 = \bar{x}_7 + \bar{x}_6 + \bar{x}_5 + \bar{x}_4 = \overline{x_7 x_6 x_5 x_4}, \\y_1 &= \bar{x}_7 + \bar{x}_6 + \bar{x}_3 + \bar{x}_2 = \overline{x_7 x_6 x_3 x_2}, \\y_0 &= \bar{x}_9 + \bar{x}_7 + \bar{x}_5 + \bar{x}_3 + \bar{x}_1 = \overline{x_9 x_7 x_5 x_3 x_1}.\end{aligned}$$

Реализация неполного шифратора 10–4 с инверсными входами требует одного пятиходового, двух четырехходовых и одного двухходового логических элементов И-НЕ.



.....
Дешифратор выполняет функцию, обратную шифратору, то есть преобразует двоичный код в унитарный код.
.....

Число входов и выходов полного дешифратора связано соотношением $m = 2^n$, а неполного дешифратора — $m < 2^n$.

Дешифратор с прямыми выходами реализует минтермы входных переменных $f_i = m_i$, а дешифратор с инверсными выходами — инверсии минтермов, то есть макс-термы входных переменных $f_i = \bar{m}_i = M_i$.

Например, таблица истинности полного дешифратора 3–8 с инверсными выходами представлена в табл. 4.4.

Таблица 4.4 – Таблица истинности полного дешифратора 3–8 с инверсными выходами

№	x_2	x_1	x_0	y_7	y_6	y_5	y_4	y_3	y_2	y_1	y_0
0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	1	1	1	1	1	1	1	0	1
2	0	1	0	1	1	1	1	1	0	1	1
3	0	1	1	1	1	1	1	0	1	1	1
4	1	0	0	1	1	1	0	1	1	1	1
5	1	0	1	1	1	0	1	1	1	1	1
6	1	1	0	1	0	1	1	1	1	1	1
7	1	1	1	0	1	1	1	1	1	1	1

Записав на основе таблицы истинности выражения для булевых функций y_7, y_6, \dots, y_0 , а затем выполнив необходимые действия по их упрощению, получим:

$$\begin{aligned}y_0 &= x_2 + x_1 + x_0 = M_0 = \bar{m}_0 = \overline{\bar{x}_2 \bar{x}_1 \bar{x}_0}, & y_1 &= x_2 + x_1 + \bar{x}_0 = M_1 = \bar{m}_1 = \overline{\bar{x}_2 \bar{x}_1 x_0}, \\y_2 &= x_2 + \bar{x}_1 + x_0 = M_2 = \bar{m}_2 = \overline{\bar{x}_2 x_1 \bar{x}_0}, & y_3 &= x_2 + \bar{x}_1 + \bar{x}_0 = M_3 = \bar{m}_3 = \overline{\bar{x}_2 x_1 x_0}, \\y_4 &= \bar{x}_2 + x_1 + x_0 = M_4 = \bar{m}_4 = \overline{x_2 \bar{x}_1 \bar{x}_0}, & y_5 &= \bar{x}_2 + x_1 + \bar{x}_0 = M_5 = \bar{m}_5 = \overline{x_2 \bar{x}_1 x_0}, \\y_6 &= \bar{x}_2 + \bar{x}_1 + x_0 = M_6 = \bar{m}_6 = \overline{x_2 x_1 \bar{x}_0}, & y_7 &= \bar{x}_2 + \bar{x}_1 + \bar{x}_0 = M_7 = \bar{m}_7 = \overline{x_2 x_1 x_0}.\end{aligned}$$

Дешифраторы можно использовать для построения произвольного комбинационного цифрового устройства. Поскольку активное значение сигнала на каждом выходе дешифратора определяет одну из комбинаций входных сигналов, то, объединяя с помощью соответствующих логических элементов некоторые выходные сигналы дешифратора, можно реализовать комбинационное цифровое устройство, число наборов таблицы истинности которого не превышает числа выходов используемого дешифратора.

Рассмотрим использование полного дешифратора 3–8 для реализации комбинационного цифрового устройства, заданного таблицей истинности (табл. 4.5).

Таблица 4.5 – Таблица истинности комбинационного цифрового устройства

№	x_1	x_2	x_3	y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Для реализации цифрового устройства на основе дешифратора с прямыми выходами выражение булевой функции целесообразно представить в СДНФ, а при использовании дешифратора с инверсными выходами — в СКНФ.

Для рассматриваемого комбинационного устройства выражение булевой функции в СДНФ имеет вид $y = m_3 + m_5 + m_6 + m_7$, а в СКНФ — $y = M_0M_1M_2M_4$.

Варианты построения комбинационного устройства на дешифраторах с прямыми и инверсными выходами представлены на рис. 4.8, а и рис. 4.8, б соответственно.

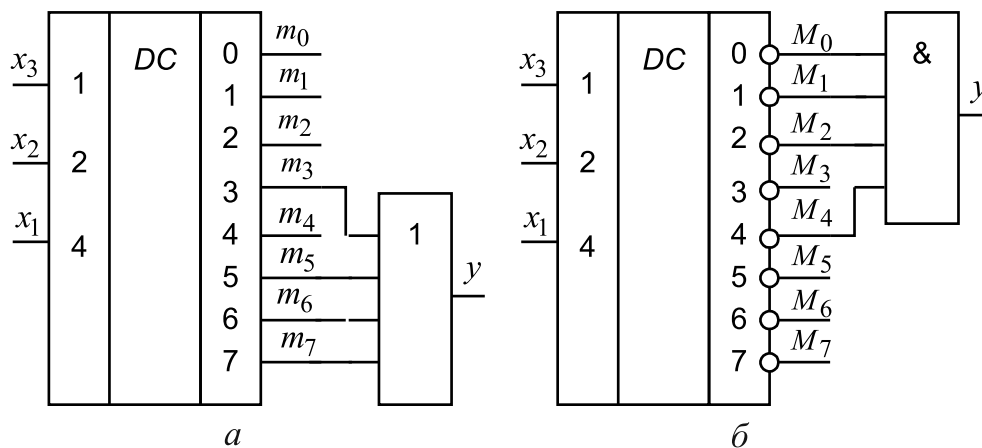
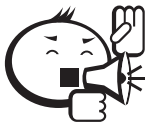


Рис. 4.8 – Варианты реализации функции трех аргументов с помощью дешифраторов



.....
 Дешифраторы подобно демультиплексорам допускают наращива-
 ние разрядности входного двоичного кода.

4.6 Сумматоры и вычитатели

Сумматоры представляют собой функциональные узлы, выполняющие операцию сложения чисел. В устройствах цифровой техники суммирование осуществляется в двоичном или двоично-десятичном кодах. Сумматоры используются также для реализации операций вычитания, умножения и деления, в качестве преобразователей кодов и в ряде других случаев.

По характеру действия сумматоры подразделяются на комбинационные и накопительные (сохраняющие результаты вычислений). В свою очередь, каждый из сумматоров, оперирующий с многоразрядными слагаемыми, в зависимости от способа обработки чисел может быть отнесен к последовательному или параллельному типу. Сложение чисел в последовательных сумматорах осуществляется поразрядно, последовательно во времени. В сумматорах параллельного действия сложение всех разрядов многоразрядных чисел происходит одновременно.

Простейшим суммирующим элементом является полусумматор, условное графическое обозначение которого представлено на рис. 4.9.

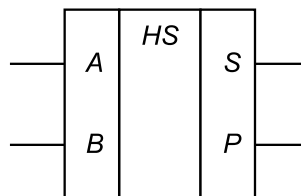


Рис. 4.9 – Условное графическое обозначение полусумматора

Обозначением функции полусумматора служат буквы *HS* (*Half Sum* — полусумма). Полусумматор имеет два входа *A* и *B* для двух слагаемых и два выхода: *S* — сумма и *P* — перенос.

Таблица истинности полусумматора представлена в табл. 4.6.

Таблица 4.6 – Таблица истинности полусумматора

Входы		Выходы	
A	B	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Булевы функции, описывающие работу полусумматора, имеют вид:

$$S = \bar{A}B + A\bar{B} = A \oplus B, \quad P = AB.$$

Логическая структура полусумматора в общем и развернутом видах показана на рис. 4.10.

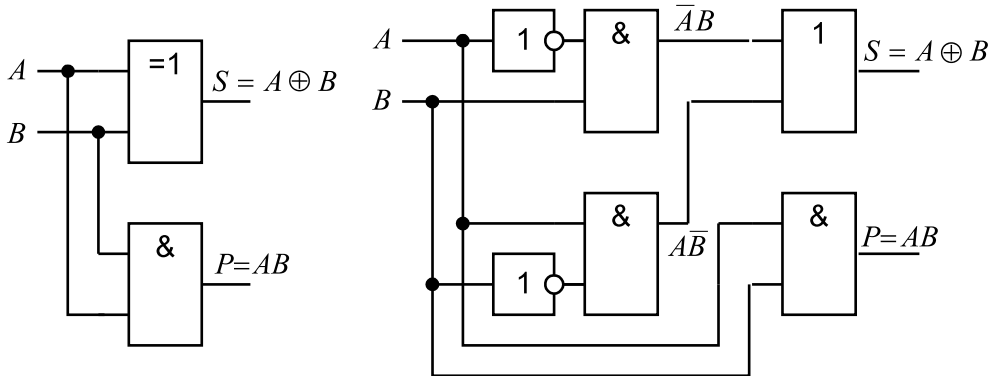


Рис. 4.10 – Логическая структура полусумматора

Полусумматор имеет два входа и поэтому пригоден для использования только в младшем разряде многоразрядных двоичных чисел. Начиная со второго разряда многоразрядных чисел, необходимо использовать полный одноразрядный сумматор, содержащий три входа, на один из которых подается сигнал переноса из предыдущего разряда.

Полный одноразрядный сумматор (рис. 4.11, б) можно представить как объединение двух полусумматоров (рис. 4.11, а).

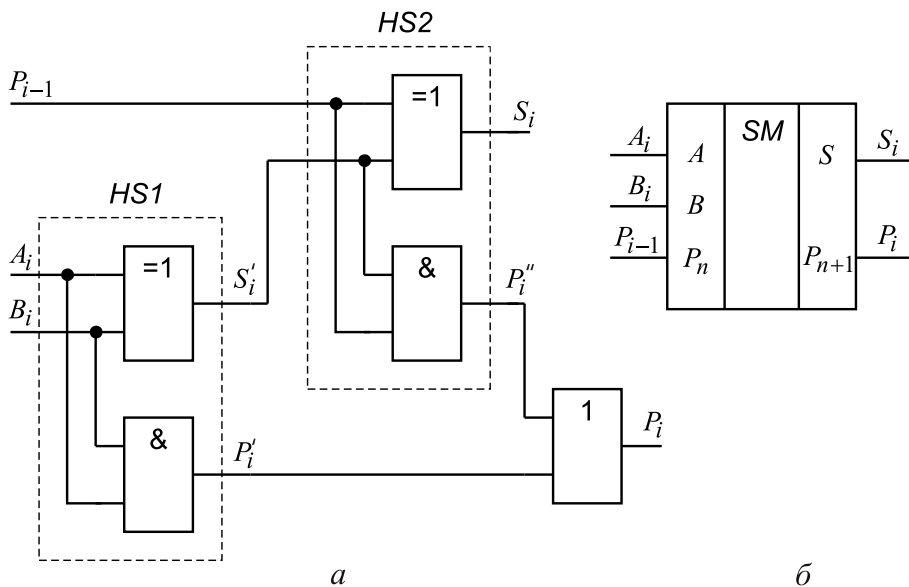


Рис. 4.11 – Полный одноразрядный сумматор: а – реализация на полусумматорах; б – условное графическое обозначение



Для суммирования n -разрядных двоичных чисел объединяется n полных одноразрядных сумматоров (рис 4.12).

При этом отдельные разряды суммируемых чисел A и B подаются на входы a_i и b_i . На вход p_{i-1} подается перенос из предыдущего, более младшего разряда. Формируемый в данном разряде перенос p_i передается в следующий, более старший разряд.

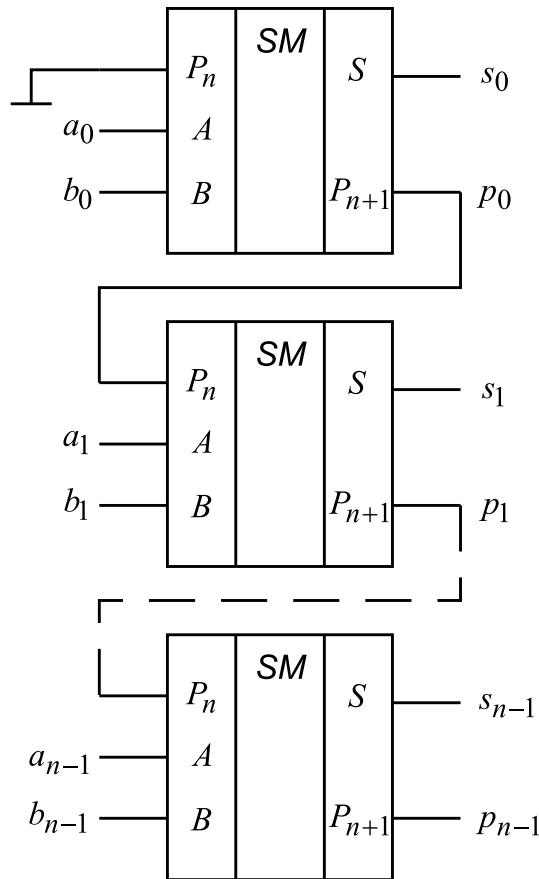


Рис. 4.12 – Схема n -разрядного сумматора с последовательным переносом

В устройствах цифровой техники операция вычитания обычно сводится к операции сложения:

$$\begin{aligned} D &= M - S = M + (2^n - S) - 2^n = \\ &= M + S_{\text{доп}} - 2^n = M + \bar{S} + 1 - 2^n, \end{aligned} \quad (4.5)$$

где \bar{S} – обратный, а $S_{\text{доп}} = 2^n - S = \bar{S} + 1$ – дополнительный код вычитаемого.

Для корректного представления результата вычитания двух n -разрядных чисел требуется дополнительный $(n + 1)$ -ый разряд, отражающий знак разности.

Таким образом, для реализации операции вычитания можно применить сумматор, обеспечивающий вычисление выражения

$$M + \bar{S} + 1 = 2^n + D,$$

причем в качестве знакового разряда разности использовать выход переноса сумматора.

Если $M \geq S$ (то есть $D \geq 0$), то на выходе переноса сумматора формируется логическая единица, тогда как значение знакового разряда разности D должно быть равно нулю.

Если $M < S$ (то есть $D < 0$), то

$$M + \bar{S} + 1 = 2^n - |D| = D_{\text{доп}},$$

а на выходе переноса сумматора формируется логический ноль, тогда как значение знакового разряда разности D должно быть равно единице.



Следовательно, для получения значения знакового разряда результата вычитания необходимо проинвертировать сигнал с выхода переноса сумматора. При этом разность чисел оказывается представленной в дополнительном коде.

.....

Схема четырехразрядного вычитателя, реализованного на сумматоре и формирующего результат в дополнительном коде, представлена на рис. 4.13.

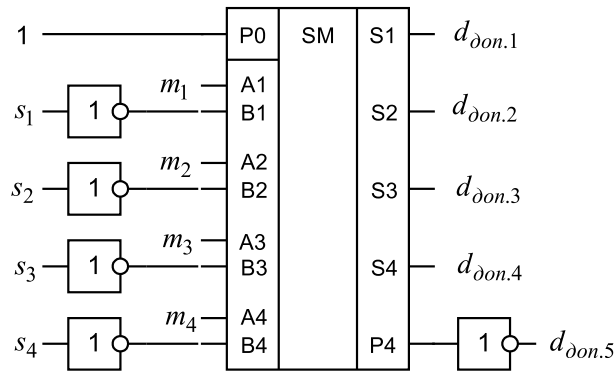


Рис. 4.13 – Схема вычитания четырехразрядных чисел с помощью сумматора

Операции сложения и вычитания можно совместить в одном функциональном узле, если инверторы заменить логическими элементами «исключающее ИЛИ» (рис. 4.14), которые в зависимости от значения управляющего сигнала работают как повторители (при $V = 0$) либо как инверторы (при $V = 1$).

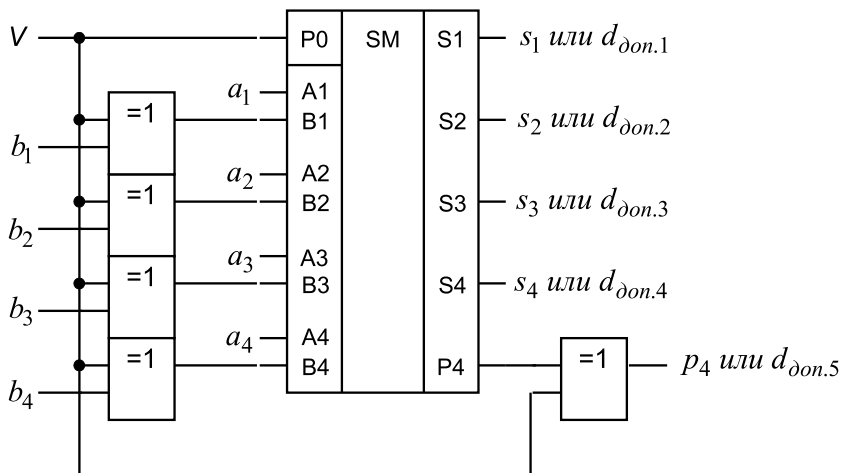


Рис. 4.14 – Схема сложения и вычитания четырехразрядных чисел

4.7 Цифровые компараторы

Цифровые компараторы (от англ. *compare* – сравнивать) выполняют сравнение двух n -разрядных чисел (A и B), заданных в двоичном (двоично-десятичном) коде. В зависимости от схемного выполнения компараторы могут реализовывать следующие функции сравнения: $A = B$ (A равно B), $A = \overline{B}$ (A равно не B), $A \neq B$ (A не равно B), $A < B$ (A меньше B), $A > B$ (A больше B), $A \leq B$ (A меньше либо равно B), $A \geq B$ (A больше либо равно B). Результат сравнения отображается соответствующим логическим уровнем на выходе. Специализированные микросхемы цифровых компараторов, как правило, имеют три выхода, на которых формируются признаки трех основных операций сравнения: $A=B$, $A < B$, $A > B$.

В качестве простейшего одноразрядного компаратора можно использовать двухходовые логические элементы «исключающее ИЛИ» (функции сравнения $A \neq B$, $A = \overline{B}$) и «исключающее ИЛИ-НЕ» (функция сравнения $A = B$).

Условно-графическое обозначение ИМС четырехразрядного компаратора представлено на рис. 4.15.

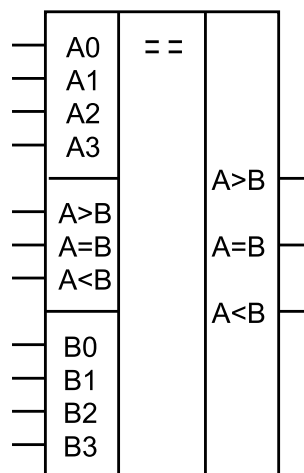


Рис. 4.15 – Условно-графическое обозначение четырехразрядного компаратора

Компаратор имеет расширяющие входы « $A = B$ », « $A < B$ », « $A > B$ », которые позволяют наращивать разрядность сравниваемых чисел без дополнительных логических элементов. Для наращивания разрядности можно использовать каскадное соединение компараторов.

При каскадном соединении (рис. 4.16) входы « $A < B$ » и « $A = B$ » предыдущего компаратора (младшие разряды) подключают к соответствующим входам последующего. На входы « $A < B$ », « $A = B$ », « $A > B$ » компаратора младших разрядов подают сигналы «0», «1», «1» соответственно. В последующих компараторах на входах « $A > B$ » поддерживают сигнал «1».

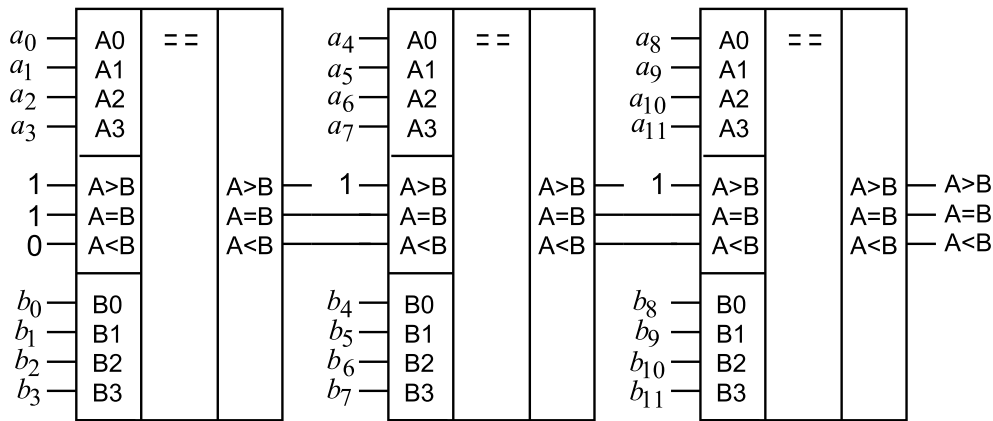


Рис. 4.16 – Каскадное соединение компараторов

4.8 Матричная реализация булевых функций

В качестве функциональных узлов больших интегральных схем, ориентированных на реализацию булевых функций, широко используются так называемые матричные схемы.



Матричная схема представляет собой сетку ортогональных проводников, в местах пересечения которых могут быть установлены полупроводниковые компоненты с односторонней проводимостью — диоды (рис. 4.17) или транзисторы (рис. 4.18).

Матрица конъюнкций M1 (рис. 4.17) имеет шесть горизонтальных и четыре вертикальные шины. Каждая j -ая входная шина этой матрицы ($j = \overline{1,3}$) связана с двумя горизонтальными шинами матрицы M1 (с одной непосредственно, а со второй — через инвертор). Способ включения диодов в местах пересечения матрицы M1 позволяет реализовать на любом из ее выходов p_i ($i = \overline{1,4}$) любую конъюнкцию ее входных переменных x_j ($j = \overline{1,3}$), взятых со знаком либо без знака инверсии. Так, в матрице на рис. 4.17 $p_1 = \bar{x}_1\bar{x}_2\bar{x}_3$, $p_2 = x_1x_3$, $p_3 = x_1x_2$, $p_4 = x_2x_3$.

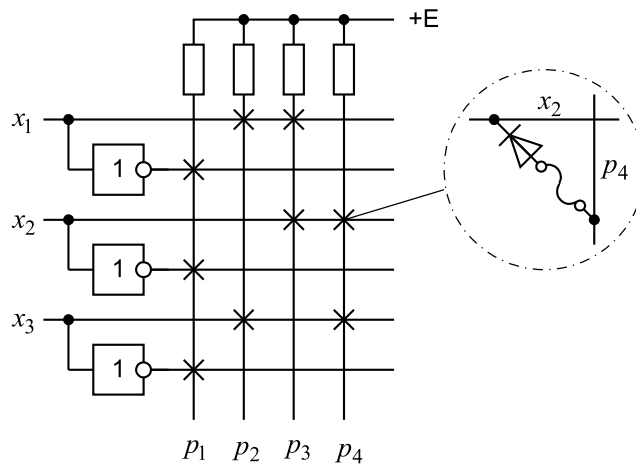


Рис. 4.17 – Матрица конъюнкций

Матрица дизъюнкций М2 (рис. 4.18) имеет четыре вертикальные и две горизонтальные шины. Способ включения транзисторов в местах пересечения шин матрицы М2 позволяет реализовать на любом из ее выходов y_i ($i = \overline{1,2}$) любую дизъюнкцию ее входных переменных p_j ($j = \overline{1,4}$). На рис. 4.18 показан пример реализации элементарных дизъюнкций: $y_1 = p_1 + p_2 + p_3$, $y_2 = p_2 + p_4$.

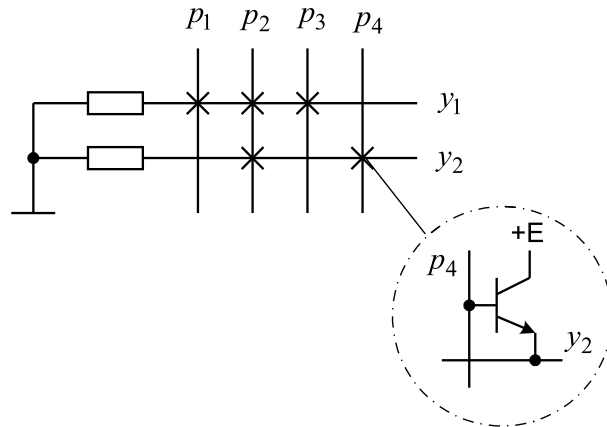


Рис. 4.18 – Матрица дизъюнкций

Для простоты принято матрицы М1 и М2 изображать так, как это показано на рис. 4.19, а и рис. 4.19, б соответственно.

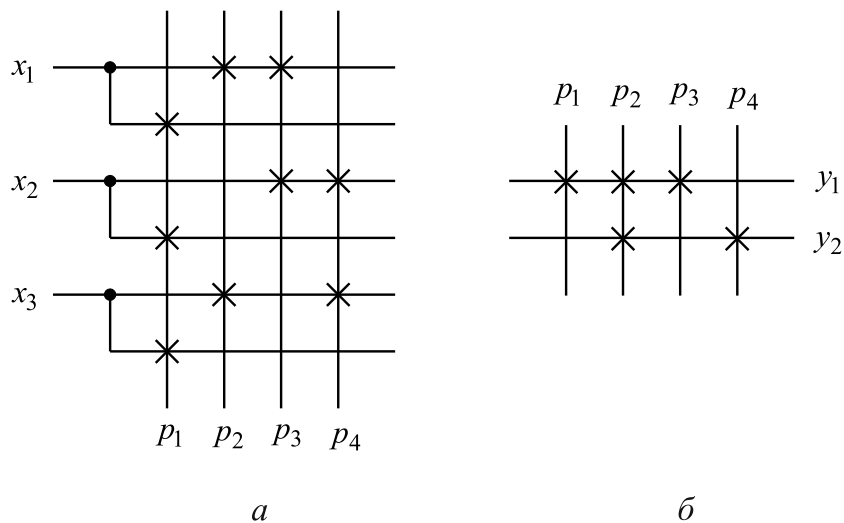


Рис. 4.19 – Упрощенное представление матриц конъюнкций (а) и дизъюнкций (б)

Если соединить матрицы М1 и М2 каскадно, как это показано на рис. 4.20, то полученная двухуровневая матричная схема будет реализовывать следующую систему булевых функций, представленных в ДНФ:

$$y_1 = \bar{x}_1\bar{x}_2\bar{x}_3 + x_1x_3 + x_1x_2, \quad y_2 = x_1x_3 + x_2x_3.$$

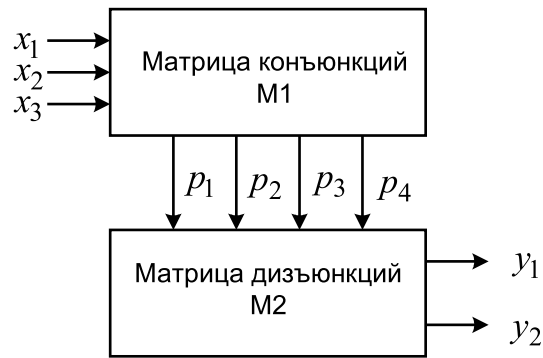


Рис. 4.20 – Двухуровневая матричная схема

Аналогичным образом любая ДНФ системы Θ булевых функций y_1, \dots, y_m входных переменных x_1, \dots, x_n может быть реализована двухуровневой матричной схемой, на первом уровне которой образуются различные элементарные конъюнкции, а на втором — дизъюнкции соответствующих конъюнкций. Таким образом, построение схем с матричной структурой сводится к определению точек пересечения шин, где должны быть включены компоненты с односторонней проводимостью, и настройке матриц (установке компонентов с односторонней проводимостью в найденных точках).



По способу программирования различают:

- матрицы, настраиваемые (программируемые) на заводе-изготовителе;
- матрицы, программируемые пользователем;
- репрограммируемые (многократно настраиваемые) матрицы.

Принято перед сокращенным названием устройств, построенных на основе матриц первого типа, добавлять букву М (от слова «масочно-программируемые»), второго типа — букву П (от слова «программируемые»), и третьего — букву Р (от слова «репрограммируемые»).

В М-матрицах соединение компонентов с односторонней проводимостью с шинами осуществляется один раз с помощью специальных масок, используемых для металлизации определенных участков кристалла БИС. После изготовления БИС полученные соединения изменены быть не могут.

П-матрицы поставляются потребителю ненастроенными и содержащими компоненты с односторонней проводимостью в каждой точке пересечения шин. Настройка П-матриц сводится к удалению (отключению) определенных компонентов. Физически процесс настройки осуществляется различными способами, например путем пропуска серии импульсов тока достаточно большой амплитуды через соответствующий компонент и разрушения плавкой перемычки, включенной последовательно с этим компонентом и соединяющей его с одной из шин в точке их пересечения.

R-матрицы позволяют осуществлять многократно. Повторное программирование выполняется электрическим способом после стирания содержимого матриц под действием ультрафиолетового (иногда рентгеновского) облучения или электрическим способом отдельно для каждого компонента с односторонней проводимостью.

Сложность матричной реализации булевых функций принято оценивать суммарной информационной емкостью (площадью) матриц. В общем случае, если в схеме, аналогичной рис. 4.20, имеется n входов, m выходов и L вертикалей, то суммарная информационная емкость определяется выражением:

$$S(M) = S(M_1) + S(M_2) = 2nL + Lm \quad [\text{бит}].$$

Для сокращения информационной емкости при реализации системы булевых функций необходимо представлять ее в ДНФ с минимальным числом различных элементарных конъюнкций.

Матрицы M_1 и M_2 для реализации системы булевых функций принято условно изображать в виде таблицы, столбцы которой отмечаются переменными x_1, \dots, x_n и функциями y_1, \dots, y_m . Каждой промежуточной шине p_1, \dots, p_L ставится в соответствие строка таблицы.

На пересечении j -ой строки и столбца x_i ($i = 1, \dots, n$) записываются:

- 1, если переменная x_i входит в j -ую элементарную конъюнкцию без инверсии;
- 0, если переменная x_i входит в j -ую элементарную конъюнкцию с инверсии;
- (-), если переменная x_i не входит в j -ую элементарную конъюнкцию.

На пересечении j -ой строки и столбца y_i ($i = 1, \dots, m$) записываются:

- 1, если j -ая элементарная конъюнкция входит в ДНФ функции y_i ;
- точка (•), если j -ая элементарная конъюнкция не входит в ДНФ функции y_i .

В табл. 4.7 приведено условное представление матриц M_1 (рис. 4.19, а) и M_2 (рис. 4.19, б).

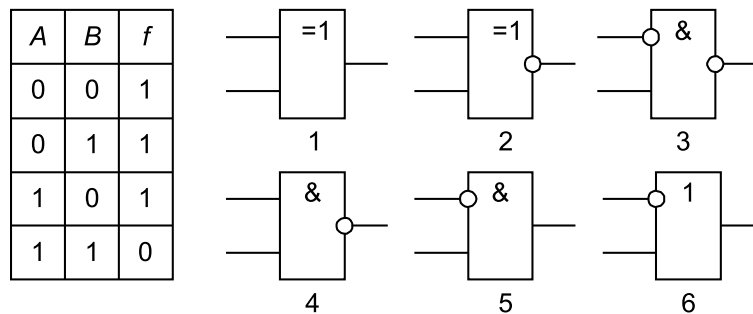
Таблица 4.7 – Условное представление матриц конъюнкций и дизъюнкций

x_1	x_2	x_3	y_1	y_2
0	0	0	1	•
1	-	1	1	1
1	1	-	1	•
-	1	1	•	1

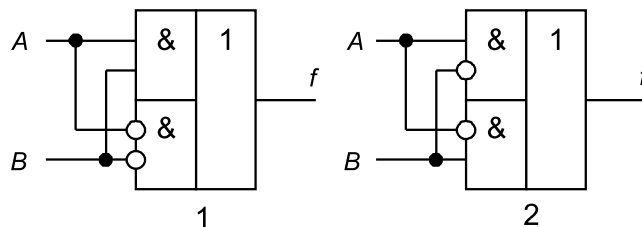


Контрольные вопросы по главе 4

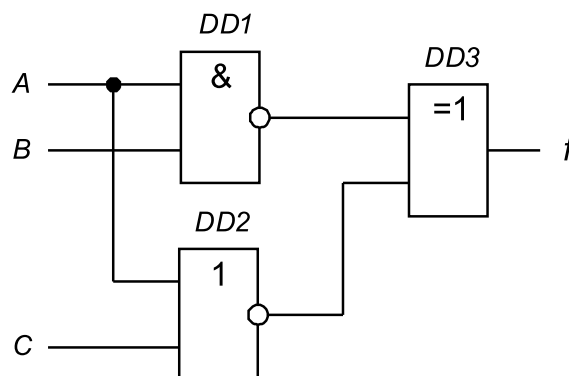
- 1) Указать логические элементы, реализующие булеву функцию, заданную таблицей истинности:



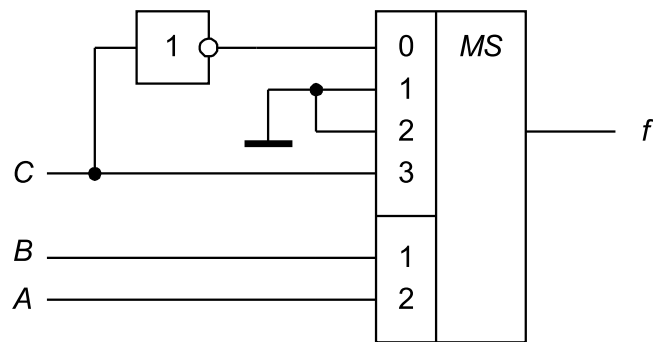
- 2) Записать выражения булевых функций, реализуемых логическими элементами многоступенчатой логики:



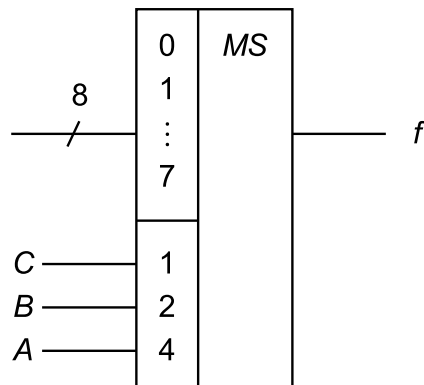
- 3) Записать минимизированное выражение булевой функции, реализуемой комбинационной схемой:



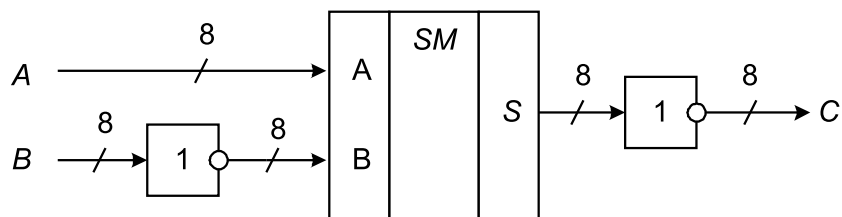
- 4) Записать выражение булевой функции, реализуемой комбинационной схемой:



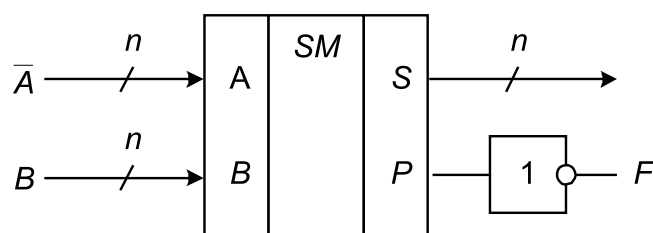
- 5) Указать восьмиразрядное слово, которое необходимо подать на информационные входы мультимплексора для реализации булевой функции $f = ABC\bar{C} + \bar{A}C$:



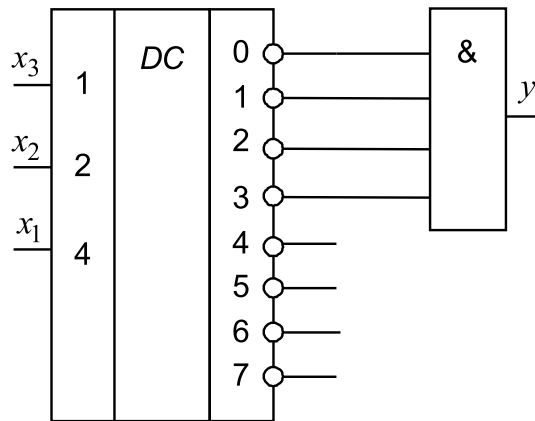
- 6) Представить в десятичной системе счисления число C , формируемое на выходе комбинационной схемы, если $A = 129_{10}$, $B = 150_{10}$:



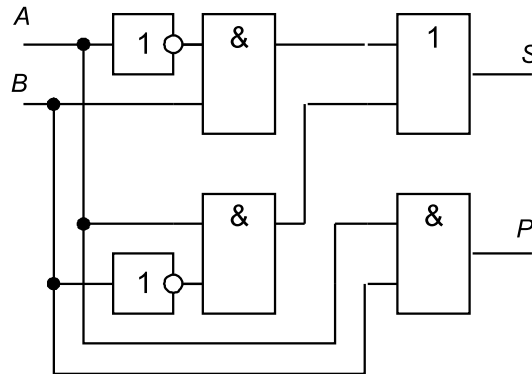
- 7) Определить функцию сравнения цифрового компаратора, выполненного на двоичном сумматоре:



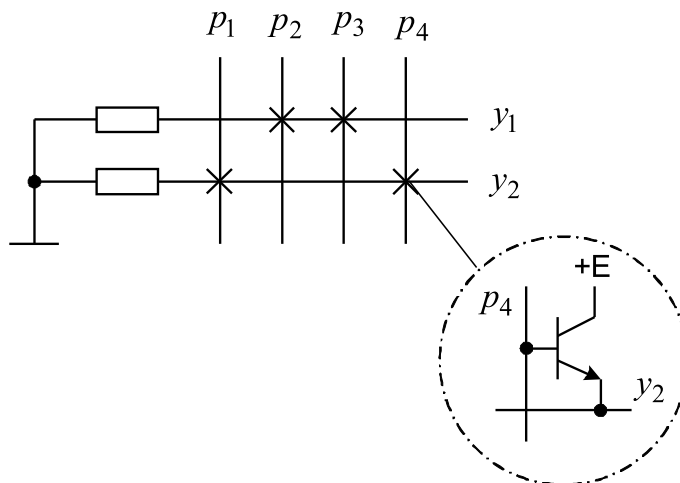
- 8) Записать выражение булевой функции, реализуемой схемой:



9) Записать выражения булевых функций, реализуемых на выходах S и P :



10) Записать выражения булевых функций для матрицы дизъюнкций:



Глава 5

ЦИФРОВЫЕ МИКРОЭЛЕКТРОННЫЕ УСТРОЙСТВА ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА

5.1 Основные положения

Цифровое устройство называется последовательностным, если его выходные сигналы y_1, y_2, \dots, y_m зависят не только от комбинации текущих значений входных сигналов x_1, x_2, \dots, x_n , но и от последовательности значений сигналов, поступивших на входы в предшествующие моменты времени. Для фиксации последовательности поступления входных сигналов последовательностное цифровое устройство (ПЦУ) обязательно содержит элементы памяти. ПЦУ называют также цифровыми автоматами, конечными автоматами или автоматами с памятью [4].

Обобщенная структура ПЦУ представлена на рис. 5.1.

Она содержит комбинационное цифровое устройство (КЦУ) и запоминающее устройство (ЗУ), содержащее совокупность простейших элементов памяти ЭП₁, ЭП₂, ..., ЭП_k, на которые воздействуют сигналы u_1, u_2, \dots, u_k . Под воздействием сигнала u_i ($i = \overline{1, k}$) элемент ЭП_i может перейти в одно из двух состояний: 0 или 1. Состояние элемента ЭП_i отображается сигналом z_i ($i = \overline{1, k}$). Упорядоченная совокупность сигналов z_1, z_2, \dots, z_k отображает состояние всего ПЦУ. Общее число состояний ПЦУ, содержащего k простейших элементов памяти, равно 2^k . Функционирование комбинационного цифрового устройства, входящего в состав ПЦУ, определяется системами булевых функций, которые в матричной записи имеют вид:

$$Y = F(X, Z), \quad U = H(X, Z),$$

где $X = [x_1, x_2, \dots, x_n]^T$ — вектор входных переменных; $Y = [y_1, y_2, \dots, y_m]^T$ — вектор выходных переменных; $Z = [z_1, z_2, \dots, z_k]^T$ — вектор состояния; $U = [u_1, u_2, \dots, u_k]^T$ — вектор воздействий на элементы памяти; $F(X, Z) = [f_1(x_1, \dots, x_n, z_1, \dots, z_k), \dots, f_m(x_1, \dots$

$\dots, x_n, z_1, \dots, z_k)]^T$, $H(X, Z) = [h_1(x_1, \dots, x_n, z_1, \dots, z_k), \dots, h_k(x_1, \dots, x_n, z_1, \dots, z_k)]^T$ — булевы вектор-функции.

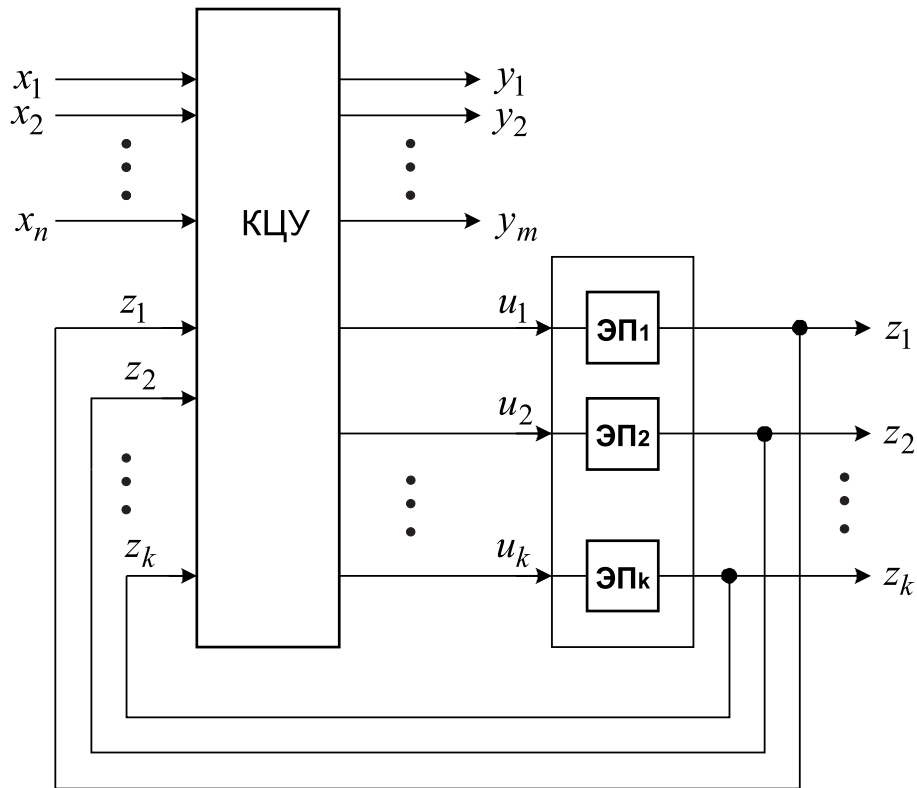


Рис. 5.1 – Обобщенная структура последовательного цифрового устройства

ПЦУ работает под воздействием входных сигналов $X(t)$, поступающих в дискретные моменты времени $t_0, t_1, \dots, t_i, \dots$. В момент времени t_0 ПЦУ находится в начальном состоянии, когда $Z(t) = [z_1(t), z_2(t), \dots, z_k(t)]^T$ принимает некоторое начальное значение $Z(t_0) = [z_1(t_0), z_2(t_0), \dots, z_k(t_0)]^T$. При поступлении в моменты времени t_i сигналов $X(t_i)$ в ПЦУ формируются выходные сигналы $Y(t_i)$ и сигналы, воздействующие на элементы памяти $U(t_i)$. В результате ПЦУ переходит в некоторое новое состояние $Z(t_i)$, и тем самым фиксируется воздействие на него входных сигналов $X(t_i)$ в момент времени t_i .

В синхронных ПЦУ моменты поступления входной информации задаются специальным генератором, который вырабатывает тактовые (синхронизирующие) сигналы через равные промежутки времени (тактовые интервалы) $T = t_{i+1} - t_i = \text{const}$.

В асинхронных ПЦУ генератор тактовых импульсов отсутствует, моменты перехода из одного состояния в другое заранее не определены, а зависят от определенных событий. В таких ПЦУ интервалы дискретности в общем случае являются переменными: $T_i = t_{i+1} - t_i = \text{var}$.

Совокупность правил, определяющих последовательность смены состояний и последовательность выработки выходных сигналов в зависимости от последовательности входных сигналов, называют законом функционирования ПЦУ.

Основой анализа и синтеза ПЦУ является общая теория конечных автоматов [4].

5.2 Триггеры



.....
Триггером называют устройство, которое может находиться в одном из двух устойчивых состояний и переходить из одного состояния в другое под воздействием входных сигналов.

Для удобства использования триггеры имеют два выхода: прямой Q (от англ. *Quit* — выход) и инверсный \bar{Q} . Поскольку сигналы на выходах Q и \bar{Q} должны быть противоположными (комплементарными), состояние триггера определено, если задано значение одного из выходных сигналов (чаще всего на прямом выходе Q). Состояние $Q = 1, \bar{Q} = 0$ называется единичным, а $Q = 0, \bar{Q} = 1$ — нулевым. При некоторых комбинациях входных сигналов, называемых запрещенными комбинациями, могут появиться состояния $Q = \bar{Q} = 1$ или $Q = \bar{Q} = 0$, которые являются неопределенными, поскольку выходные сигналы не являются комплементарными.

Входы триггера делятся на *информационные* и *вспомогательные (управляющие)*. Сигналы, поступающие на информационные входы, управляют состоянием триггера. Сигналы на вспомогательных входах используются для предварительной установки триггера в требуемое состояние и синхронизации. Вспомогательные входы могут использовать и в качестве информационных. Число входов триггера зависит от его структуры и назначения. Информационные входы триггера принято обозначать буквами S (от англ. *Set* — установка), R (от англ. *Reset* — сброс), J (от англ. *Jerk* — внезапное включение), K (от англ. *Kill* — внезапное отключение), D (от англ. *Delay* — задержка), T (от англ. *Toggle* — релаксатор), а управляющие входы — буквами C (от англ. *Clock* — синхронизация, тактирование) и V (от англ. *Valve* — клапан, вентиль).

Триггеры можно классифицировать по способу приема информации, принципу построения, функциональным возможностям.



.....
 По способу приема информации триггеры подразделяются на *асинхронные* и *синхронные*.

Асинхронные триггеры воспринимают информационные сигналы и реагируют на них в момент появления на входах триггера. Синхронные триггеры реагируют на информационные сигналы при наличии разрешающего сигнала на специальном управляющем входе C , называемом входом синхронизации (тактовым входом).



.....
 Синхронные триггеры подразделяются на триггеры со *статическим* и *динамическим управлением* по входу C .

Триггеры со статическим управлением воспринимают информационные сигналы при подаче на вход синхронизации сигнала логической 1 (если вход син-

хронизации прямой) или сигнала логического нуля (если вход синхронизации инверсный). Триггеры с динамическим управлением воспринимают информационные сигналы при изменении сигнала на входе синхронизации с уровня логического 0 до уровня логической 1 (если динамический вход синхронизации прямой) или с уровня логической 1 до уровня логического 0 (если динамический вход синхронизации инверсный).

По принципу построения триггеры со статическим управлением можно разделить на *одноступенчатые триггеры* и *двухступенчатые триггеры*. Одноступенчатые триггеры характеризуются наличием одной ступени запоминания информации. В двухступенчатых триггерах имеются две ступени запоминания информации: вначале информация записывается в первую ступень, а затем переписывается во вторую и появляется на выходе.

По функциональным возможностям различаются:

- триггер с отдельной установкой состояний 0 и 1 (*RS-триггер*);
- триггер с приемом информации по одному входу D (*D-триггер* или триггер задержки);
- триггер со счетным входом T (*T-триггер*);
- универсальный триггер с информационными входами J и K (*JK-триггер*).

Обобщенная запись характеристического уравнения триггера имеет вид: $Q(t+1) = \delta(Q(t), X(t))$.

Состояние $Q(t+1)$, в которое триггер переходит из состояния $Q(t)$ под действием входных сигналов $X(t)$, принимает значения:

$$Q(t+1) \in \{0, 1, Q(t), \bar{Q}(t), \times\},$$

обозначающие следующее [6]:

- $Q(t+1) = 0$ — триггер находится в нулевом состоянии независимо от изменения сигналов на его входах;
- $Q(t+1) = 1$ — триггер находится в единичном состоянии независимо от изменения сигналов на его входах;
- $Q(t+1) = Q(t)$ — состояние триггера не изменяется при изменении входных сигналов;
- $Q(t+1) = \bar{Q}(t)$ — состояние триггера изменяется на противоположное при изменении входных сигналов;
- $Q(t+1) = \times$ — состояние триггера является неопределенным.

Поскольку число вероятных вариантов смены состояния триггера равно 5, число теоретически возможных типов триггеров с n информационными входами будет равно 5^{2^n} . Теоретическое число триггеров с одним информационным входом ($n = 1$) составляет $5^{2^1} = 25$, однако технически реализованных — только 2. Число триггеров с двумя информационными входами ($n = 2$) теоретически равно $5^{2^2} = 625$, однако технически синтезированы только 8 их типов [6].

Асинхронный RS-триггер с прямыми входами имеет два информационных входа S и R , используемых для установки триггера в единичное и нулевое состояния

соответственно. Закон функционирования RS -триггера с прямыми входами определяется таблицей переходов, представленной в табл. 5.1.

Таблица 5.1 – Таблица переходов RS -триггера с прямыми входами

№	$R(t)$	$S(t)$	$Q(t)$	$Q(t+1)$	Режим
0	0	0	0	0	Хранение
1	0	0	1	1	
2	0	1	0	1	Установка в единичное состояние
3	0	1	1	1	
4	1	0	0	0	Установка в нулевое состояние
5	1	0	1	0	
6	1	1	0	×	Неопределенное состояние
7	1	1	1	×	

Как следует из таблицы, при комбинации сигналов $S(t) = 1, R(t) = 0$ триггер переходит в единичное состояние ($Q(t+1) = 1$) независимо от предыдущего состояния $Q(t)$. При комбинации сигналов $S(t) = 0, R(t) = 1$ триггер устанавливается в нулевое состояние ($Q(t+1) = 0$) независимо от предыдущего состояния $Q(t)$. Комбинация сигналов $S(t) = 0, R(t) = 0$ не изменяет состояние триггера, то есть $Q(t+1) = Q(t)$. Комбинация сигналов $S(t) = 1, R(t) = 1$ является запрещенной, так как при этой комбинации состояние триггера становится неопределенным.

RS -триггер с прямыми входами может быть реализован на двух двухвходовых логических элементах ИЛИ-НЕ, соединенных перекрестно (рис. 5.2).

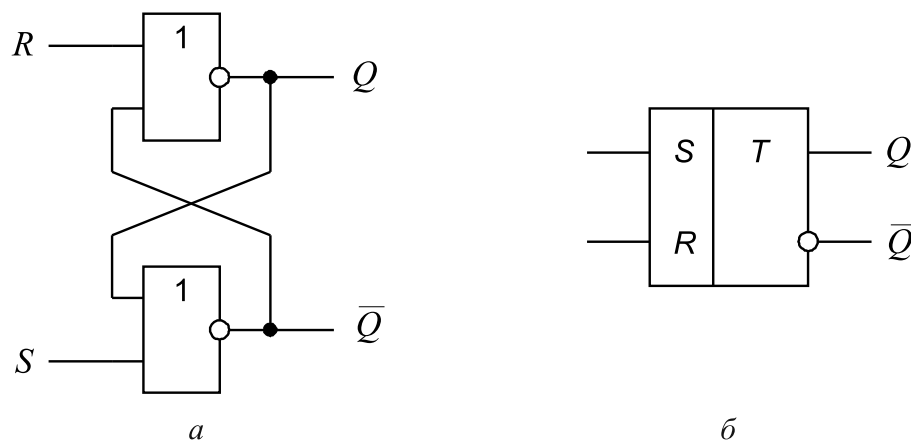


Рис. 5.2 – Логическая структура (а) и условное графическое обозначение (б) асинхронного RS -триггера с прямыми входами

Для асинхронного RS -триггера с инверсными входами активным уровнем входных сигналов является уровень логического нуля, а пассивным — уровень логической единицы.

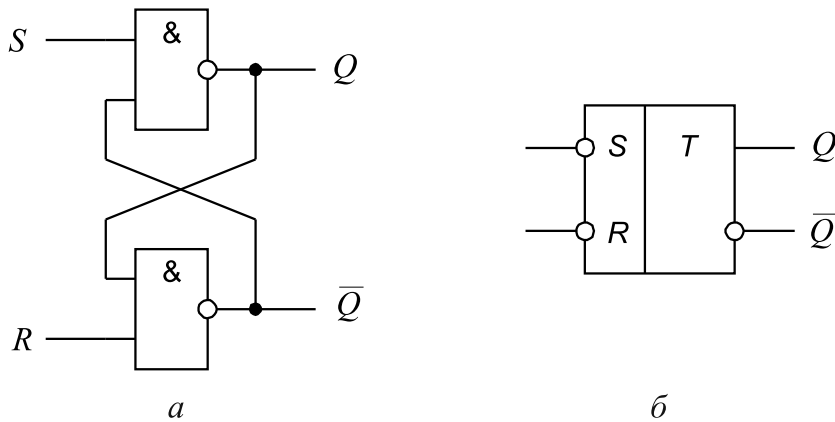
Следовательно, закон функционирования RS -триггера с инверсными входами определяется таблицей переходов, представленной в табл. 5.2.

Таблица 5.2 – Таблица переходов RS -триггера с инверсными входами

№	$R(t)$	$S(t)$	$Q(t)$	$Q(t+1)$	Режим
0	0	0	0	×	Неопределенное состояние
1	0	0	1	×	
2	0	1	0	0	Установка в нулевое состояние
3	0	1	1	0	
4	1	0	0	1	Установка в единичное состояние
5	1	0	1	1	
6	1	1	0	0	Хранение
7	1	1	1	1	

Из таблицы следует: при комбинации сигналов $S(t) = 0, R(t) = 1$ триггер переходит в единичное состояние ($Q(t+1) = 1$) независимо от предыдущего состояния $Q(t)$; при комбинации сигналов $S(t) = 1, R(t) = 0$ триггер устанавливается в нулевое состояние ($Q(t+1) = 0$) независимо от предыдущего состояния $Q(t)$; комбинация сигналов $S(t) = 1, R(t) = 1$ не изменяет состояние триггера, то есть $Q(t+1) = Q(t)$; комбинация сигналов $S(t) = 0, R(t) = 0$ является запрещенной.

RS -триггер с инверсными входами может быть реализован на двух двухвходовых логических элементах И-НЕ, соединенных перекрестно:

Рис. 5.3 – Логическая структура (а) и условное графическое обозначение (б) асинхронного RS -триггера с инверсными входами

Синхронный RS -триггер со статическим управлением отличается от асинхронного наличием входа синхронизации (C -входа), на который поступают синхронизирующие (тактовые) сигналы. Изменение состояния синхронного RS -триггера может происходить только при наличии сигнала логической единицы на входе синхронизации (если вход синхронизации прямой). Если же на входе синхронизации присутствует сигнал логического нуля, триггер находится в режиме хранения. Таким образом, таблица переходов синхронного RS -триггера с прямыми информационными входами и прямым входом синхронизации имеет вид, представленный в таблице 5.3.

Таблица 5.3 – Таблица переходов синхронного RS -триггера с прямыми информационными входами и прямым входом синхронизации

№	C	$R(t)$	$S(t)$	$Q(t)$	$Q(t+1)$	Режим
0	0	0	0	0	0	Хранения
1	0	0	0	1	1	
2	0	0	1	0	0	
3	0	0	1	1	1	
4	0	1	0	0	0	
5	0	1	0	1	1	
6	0	1	1	0	0	
7	0	1	1	1	1	
8	1	0	0	0	0	
9	1	0	0	1	1	
10	1	0	1	0	1	Установка в единичное состояние
11	1	0	1	1	1	
12	1	1	0	0	0	Установка в нулевое состояние
13	1	1	0	1	0	
14	1	1	1	0	×	Неопределенное состояние
15	1	1	1	1	×	

При комбинации сигналов $S(t) = 1$, $R(t) = 0$, $C = 1$ триггер переходит в единичное состояние ($Q(t+1) = 1$) независимо от предыдущего состояния $Q(t)$. При комбинации сигналов $S(t) = 0$, $R(t) = 1$, $C = 1$ триггер устанавливается в нулевое состояние ($Q(t+1) = 0$) независимо от предыдущего состояния $Q(t)$. Комбинация сигналов $S(t) = 1$, $R(t) = 1$, $C = 1$ является запрещенной. При $C = 0$ триггер не изменяет состояния независимо от значений сигналов на информационных входах, то есть $Q(t+1) = Q(t)$.

Синхронный RS -триггер с прямыми входами может быть реализован на четырех двухвходовых логических элементах И-НЕ:

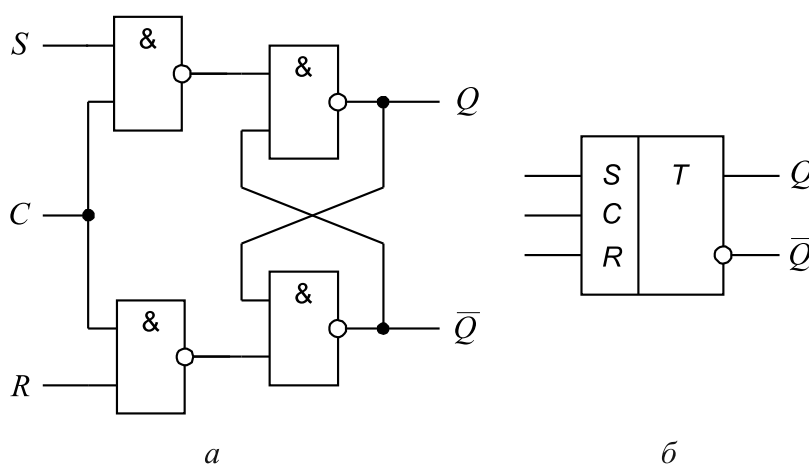


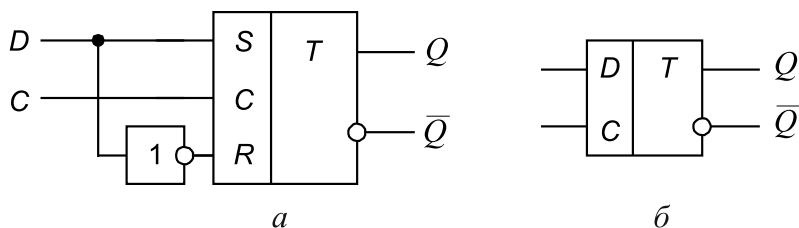
Рис. 5.4 – Логическая структура (а) и условное графическое обозначение (б) синхронного RS -триггера с прямыми информационными входами и статическим управлением

Синхронный D -триггер, или триггер задержки, имеет один информационный вход (D -вход) и вход синхронизации (C -вход). Основное назначение D -триггера — задержка сигнала, поданного на вход D : под действием сигнала синхронизации ($C = 1$) информация, поступающая на вход D , принимается в триггер, но появляется на выходе Q с задержкой на один такт. Если на входе синхронизации присутствует сигнал логического нуля ($C = 0$), то триггер находится в режиме хранения. Закон функционирования D -триггера определяется таблицей переходов, представленной в табл. 5.4.

Таблица 5.4 – Таблица переходов D -триггера

№	C	$D(t)$	$Q(t)$	$Q(t+1)$	Режим
0	0	0	0	0	Хранение
1	0	0	1	1	
2	0	1	0	0	
3	0	1	1	1	
4	1	0	0	0	Запись информации D
5	1	0	1	0	
6	1	1	0	1	
7	1	1	1	1	

Можно считать, что триггер соответствует RS -триггеру, работающему только в режимах установки в единичное ($S = 1, R = 0$, когда $D = 1$) или в нулевое ($S = 0, R = 1$, когда $D = 0$) состояния. Это позволяет реализовать синхронный D -триггер на базе синхронного RS -триггера (рис. 5.5, *a*). Условное графическое обозначение синхронного D -триггера представлено на рис. 5.5, *б*.

Рис. 5.5 – Синхронный D -триггер: *a* — функциональная схема; *б* — условное графическое обозначение

Синхронные RS - и D -триггеры с динамическим управлением являются двух-ступенчатыми структурами, каждая из ступеней которых представляет собой синхронный триггер со статическим управлением.

На рис. 5.6, *a* представлен пример реализации синхронного RS -триггера с управлением по фронту сигнала синхронизации. При $C = 0$ триггер первой ступени устанавливается в состояние, определяемое таблицей переходов (табл. 5.3), а триггер второй ступени работает в режиме хранения. Когда $C = 1$, триггер первой ступени переходит в режим хранения, а сигналы с его выходов обеспечивают установку триггера второй ступени в то же состояние, что и в первой ступени. Таким образом, сигналы на выходе синхронного RS -триггера с динамическим управлением

формируются при переходе сигнала синхронизации со значения логического нуля до значения логической единицы.

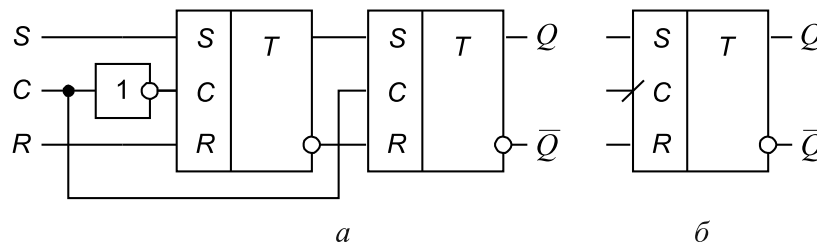


Рис. 5.6 – Синхронный RS-триггер с управлением по фронту сигнала синхронизации: *a* – функциональная схема; *б* – условное графическое обозначение

На рис. 5.7, *a* приведен пример реализации синхронного *D*-триггера с управлением по срезу сигнала синхронизации. При $C = 1$ происходит запись информации в *D*-триггер первой ступени, а *RS*-триггер второй ступени работает в режиме хранения. Когда $C = 0$, *D*-триггер переходит в режим хранения, а сигналы с его выходов обеспечивают установку *RS*-триггера в такое же состояние, в котором находится *D*-триггер. Таким образом, входная информация формируется на выходе синхронного *D*-триггера с динамическим управлением при переходе сигнала синхронизации со значения логической единицы до значения логического нуля.

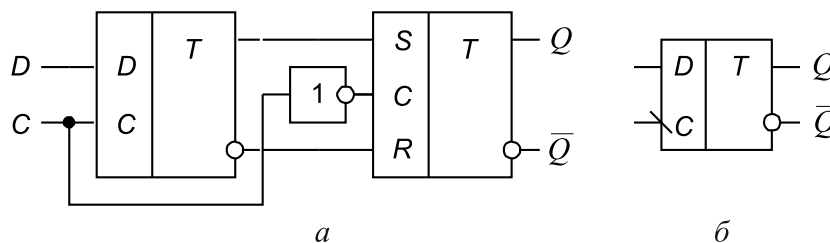


Рис. 5.7 – Синхронный *D*-триггер с управлением по срезу сигнала синхронизации: *a* – функциональная схема; *б* – условное графическое обозначение

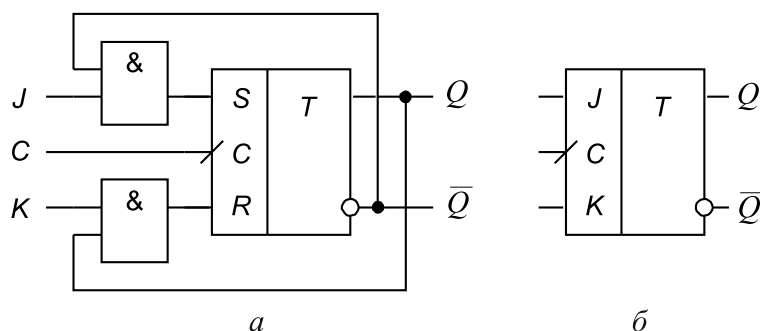
Следует отметить, что на рис. 5.7 *RS*-триггер второй ступени может быть заменен синхронным *D*-триггером со статическим управлением.

Универсальный JK-триггер обладает наиболее широкими функциональными возможностями. Триггер имеет два информационных входа *J* и *K*, используемых для управления режимом работы, а также динамический вход синхронизации *C*. Закон функционирования *JK*-триггера с управлением по фронту сигнала синхронизации определяется таблицей переходов, представленной в табл. 5.5.

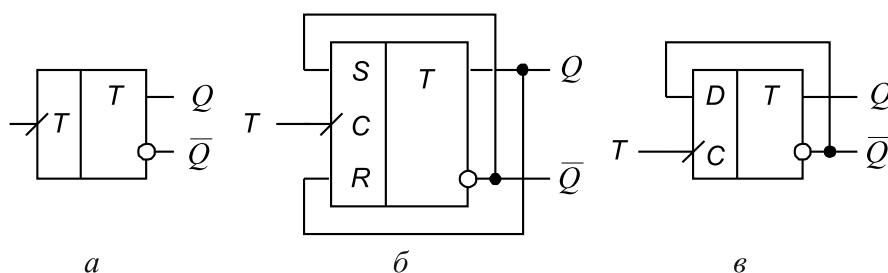
Таблица 5.5 – Таблица переходов *JK*-триггера с управлением по фронту сигнала синхронизации

C	J	K	Q(t+1)	Режим
0	×	×	Q(t)	Хранения
1	×	×	Q(t)	
	0	0	Q(t)	
	0	1	0	Установка в нулевое состояние
	1	0	1	Установка в единичное состояние
	1	1	$\bar{Q}(t)$	Переключение в противоположное состояние

JK-триггер может быть реализован на основе синхронного *RS*-триггера с динамическим управлением (рис. 5.8, *a*).

Рис. 5.8 – Универсальный *JK*-триггер с управлением по фронту сигнала синхронизации: *a* – функциональная схема; *б* – условное графическое обозначение

Счетный триггер (Т-триггер) (рис. 5.9, *a*) содержит только один вход, называемый счетным (тактовым) входом (*T*-входом), на который подаются импульсы синхронизации (тактовые импульсы).

Рис. 5.9 – Счетный триггер с управлением по фронту сигнала синхронизации: *a* – условное графическое обозначение; *б* – реализация на основе синхронного *RS*-триггера с динамическим управлением; *в* – реализация на основе *D*-триггера с динамическим управлением

Закон функционирования счетного триггера заключается в изменении состояния триггера на противоположное по фронту или по срезу каждого тактового

импульса. Счетный триггер может быть построен на базе синхронных RS -триггера и D -триггера с динамическим управлением (рис. 5.9, б и рис. 5.9, в соответственно).



.....
 Для расширения функциональных возможностей интегральные микросхемы триггеров могут содержать вспомогательные входы, предназначенные для предварительной установки триггеров в единичное или нулевое состояния.

Такие входы являются асинхронными и обладают приоритетом по отношению к информационным и тактовым входам. Например, на рис. 5.10 представлены условно-графические обозначения микросхем К555ТМ2 (два D -триггера с управлением по фронту импульсов синхронизации) и К555ТВ9 (два универсальных JK -триггера с управлением по срезу импульсов синхронизации), которые содержат инверсные входы предварительной установки триггеров в единичное и нулевое состояния.

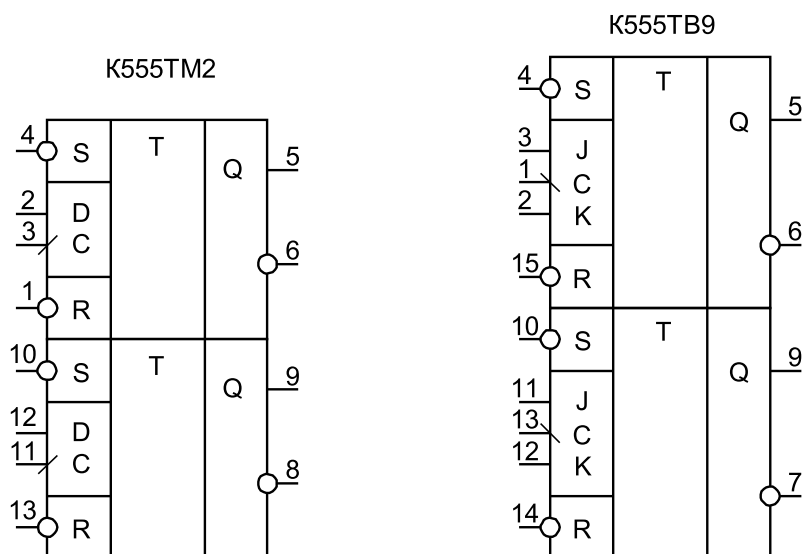


Рис. 5.10 – Условные графические обозначения микросхем триггеров

5.3 Регистры



.....
Регистр — последовательное цифровое устройство, предназначенное для хранения и преобразования многоразрядных двоичных чисел (слов).

Регистр представляет собой совокупность триггеров, число которых соответствует числу разрядов хранимого двоичного слова, и вспомогательных комбинационных схем, обеспечивающих реализацию определенных преобразований двоичной информации [2].

Состояние n -разрядного регистра определяется состояниями n триггеров и отображается n -разрядным двоичным словом $Y = y_n \dots y_1$. Для сокращения записи состояния регистра помимо двоичной системы счисления можно использовать восьмеричную и шестнадцатеричную формы представления двоичных чисел. При этом к разрядам регистра неприменимо понятие «весовой коэффициент», поскольку весовая зависимость между отдельными разрядами целиком определяется записанной в регистр информацией. По этой причине на условных графических обозначениях регистров нумерация меток информационных входов и выходов идет подряд.

В регистре могут выполняться следующие операции:

- запись информации — занесение новой информации в регистр; для записи на вход регистра подается n -разрядное двоичное слово $X = x_n \dots x_1$;
- считывание информации — вывод информации из регистра для передачи в другие узлы цифровой аппаратуры;
- установка в начальное состояние («брос») — установка всех триггеров регистра в одинаковое (чаще нулевое) состояние с помощью одного управляющего сигнала;
- сдвиг слова влево или вправо на заданное число разрядов;
- преобразование последовательного кода слова в параллельный код и обратно;
- поразрядные логические операции.

Запись и считывание информации могут выполняться параллельно или последовательно. При параллельной записи (считывании) все разряды записываемого (считываемого) слова фиксируются на триггерах (считываются с триггеров) одновременно. При последовательной записи (считывании) слово записывается (считывается) последовательно во времени, разряд за разрядом.

В зависимости от способа записи и считывания информации различаются следующие типы регистров:

- параллельные — и запись, и считывание выполняются параллельно;
- последовательные — и запись, и считывание осуществляются последовательно;
- параллельно-последовательные — запись производится параллельно, а считывание — последовательно;
- последовательно-параллельные — запись производится последовательно, а считывание — параллельно.

Регистры играют важную роль при построении сложных цифровых устройств, поскольку любое цифровое устройство может быть представлено как совокупность регистров, соединенных друг с другом посредством соответствующих комбинационных цифровых схем.

Регистр состоит из однотипных элементов памяти (триггеров), которые регулярно размещены друг относительно друга. Это позволяет существенно упростить анализ и синтез регистров, поскольку дает возможность представить регистр совокупностью однотипных автоматов, соответствующих отдельным разрядам. Кроме того, упрощается синтез комбинационной цифровой схемы регистра, который сводится к синтезу многократно повторяющейся схемы для одного разряда и схе-

мы, обеспечивающей при необходимости взаимодействие двух соседних разрядов. При этом сложное описание комбинационной схемы регистра в виде системы булевых функций от n переменных заменяется повторяющимся n раз набором булевых функций от m переменных, где $m \ll n$.



По назначению регистры подразделяются на *регистры памяти* и *регистры сдвига*.

Регистры памяти предназначены для хранения цифровой информации небольшого объема. Регистры памяти представляют собой наборы синхронных триггеров с независимыми информационными и объединенными в общую шину синхронизации тактовыми входами. Каждый из триггеров обеспечивает хранение одного разряда двоичного числа. В качестве элементов памяти регистра в основном используются синхронные D -триггеры (рис. 5.11).

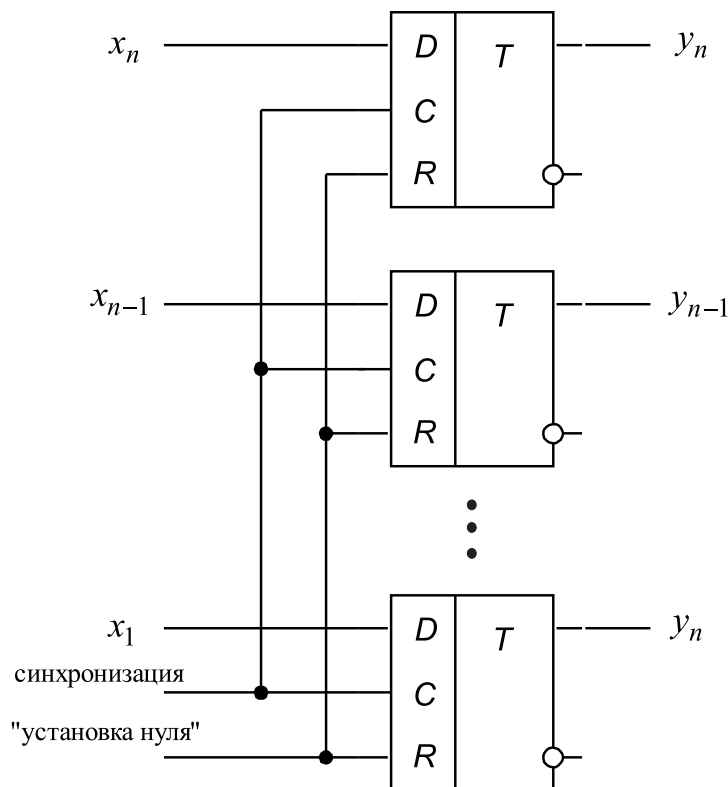
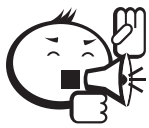


Рис. 5.11 – Функциональная схема n -разрядного регистра памяти

По способу записи и считывания информации регистры памяти относятся к параллельным регистрам. Запись информации в регистр обеспечивается подачей тактовых импульсов на шину синхронизации. С приходом очередного тактового импульса происходит обновление записанной информации. Считывание информации из регистра может производиться в прямом коде (с прямых выходов триггеров) или в инверсном коде (с инверсных выходов триггеров).

Регистры сдвига, помимо хранения, обеспечивают выполнение операции сдвига двоичной информации. Сущность сдвига состоит в том, что с приходом каждого тактового импульса происходит перезапись содержимого триггера каждого разряда в соседний разряд без изменения порядка следования двоичных цифр. По направлению сдвига различают однонаправленные регистры, которые осуществляют сдвиг информации вправо (регистры прямого сдвига, регистры со сдвигом вправо) или влево (регистры обратного сдвига, регистры со сдвигом влево), и реверсивные регистры (допускают сдвиг в обоих направлениях). Регистры сдвига реализуют на синхронных *RS*-, *D*- или *JK*-триггерах с динамическим управлением.



По способу записи и считывания информации регистры сдвига могут быть всех четырех типов: последовательными, параллельными, последовательно-параллельными и параллельно-последовательными.

На рис. 5.12 представлена схема четырехразрядного регистра сдвига вправо. Регистр представляет собой последовательную цепь *D*-триггеров с динамическим управлением по фронту тактовых импульсов. Тактовые импульсы (импульсы сдвига) поступают на все триггеры одновременно. Информационным входом *DI* регистра является вход триггера *DD1*. При подаче тактовых импульсов происходит последовательная запись информации со входа *DI* и ее сдвиг в сторону возрастания номеров триггеров (сдвиг вправо). Для записи в регистр четырехразрядного слова необходимо четыре тактовых импульса. В рассматриваемом регистре считывание информации можно выполнить двумя способами: последовательно (последовательный регистр) и параллельно (последовательно-параллельный регистр). В первом случае информацию снимают поразрядно с выхода *DO4*, во втором случае — со всех выходов в паузе между тактовыми импульсами.

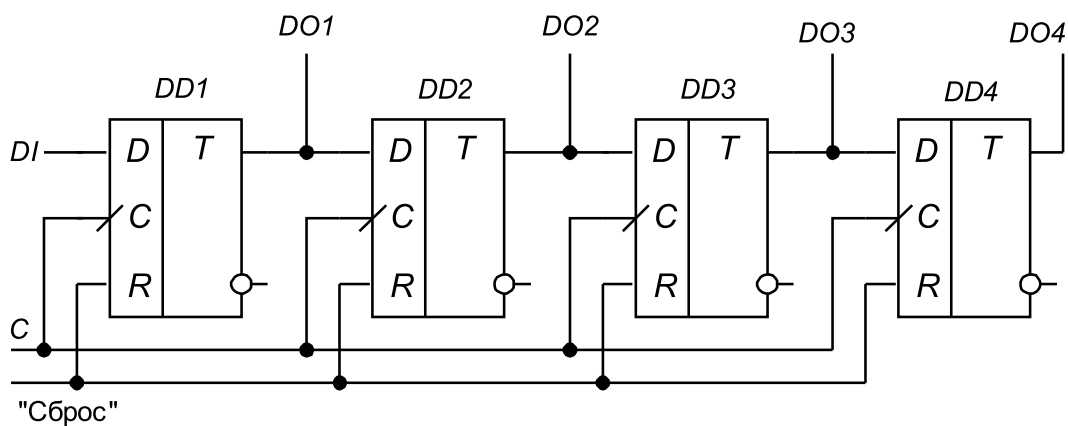


Рис. 5.12 – Функциональная схема регистра сдвига вправо

Сдвиг информации вправо в регистре рис. 5.12 иллюстрируется временными диаграммами рис. 5.13.

Допустим, что в регистр последовательно вводится, начиная с младшего разряда, двоичный код 1011. Предварительный сброс регистра производится пода-

чей сигнала логической единицы на вход «Сброс» (все триггеры устанавливаются в нулевое состояние). С первым тактовым импульсом в триггер $DD1$ записывается единица младшего разряда входного слова. Со следующим тактовым импульсом эта единица будет сдвинута в триггер $DD2$, а в триггер $DD1$ одновременно поступит единица следующего разряда входного слова. Аналогично происходит дальнейший сдвиг информации в триггеры $DD3$ и $DD4$. После четырех тактовых импульсов код на выходах $DO1 - DO4$ соответствует входному коду и может быть параллельно считан внешним устройством. Таким образом, регистр преобразует последовательный код в параллельный код.

Последовательное считывание информации из регистра осуществляется с выхода $DO4$, начиная с пятого тактового импульса.

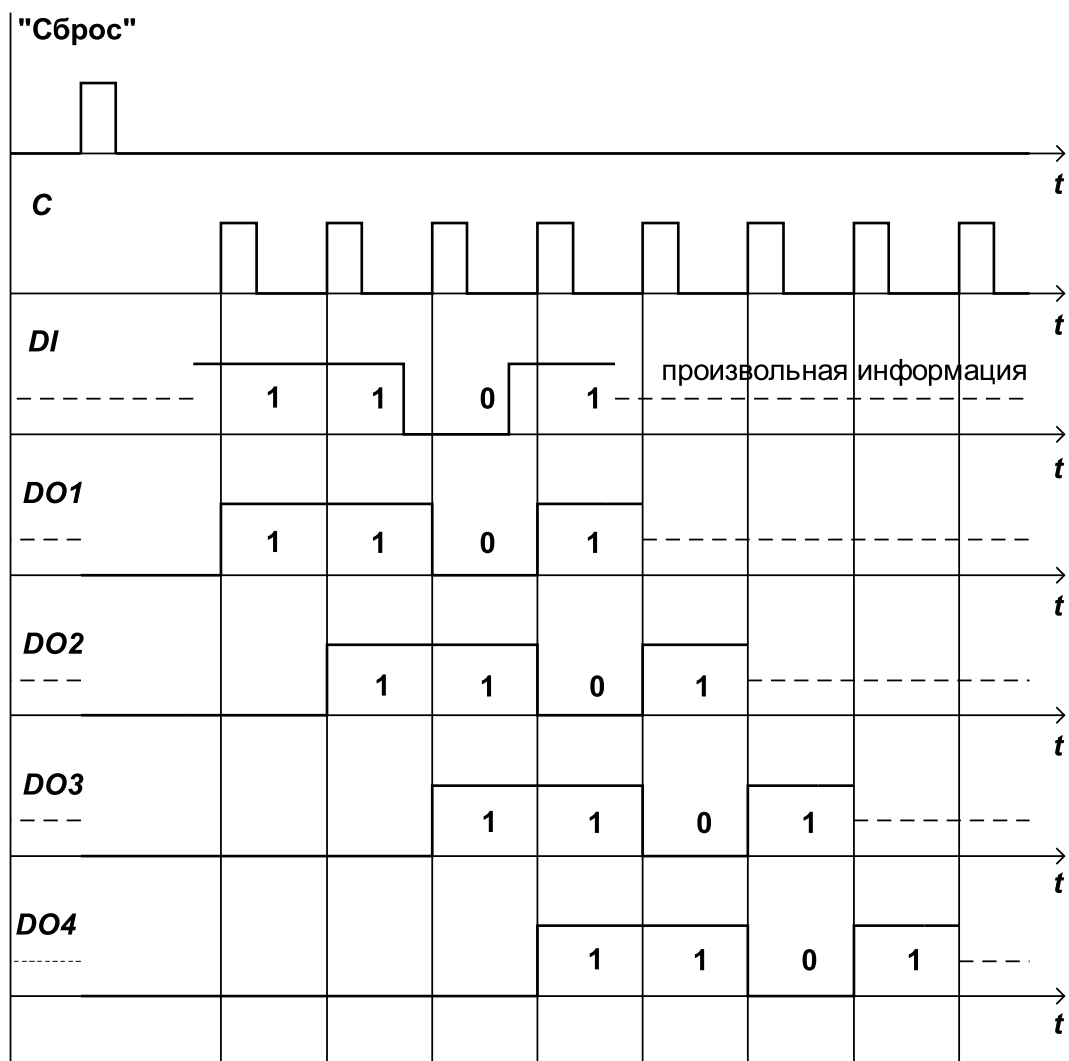
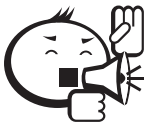


Рис. 5.13 – Временные диаграммы регистра сдвига вправо



Наращивание разрядности регистров сдвига достигается добавлением в последовательную цепь необходимого числа триггеров, тактовые входы которых подключают к шине синхронизации.

5.4 Счетчики и делители частоты



Счетчик представляет собой последовательностное цифровое устройство, циклически переходящее из одного состояния в другое под воздействием счетных (тактовых) сигналов, поступающих на его счетный (тактовый) вход.

Для реализации счетчиков используются T -, D - и JK -триггеры с динамическим управлением, каждый из которых образует соответствующий разряд двоичного кода. Состояние счетчика определяется двоичным кодом, зафиксированным на его триггерах.

В зависимости от организации внутренних связей между триггерами различают:

- асинхронные счетчики (счетчики с последовательным переносом), у которых входные счетные сигналы непосредственно воздействуют на вход синхронизации только одного триггера, а на входы синхронизации каждого последующего триггера сигналы поступают с выхода предыдущего;
- синхронные счетчики (счетчики с параллельным переносом), у которых входные счетные сигналы непосредственно воздействуют на входы синхронизации всех триггеров, а каждый триггер вырабатывает для всех последующих триггеров лишь сигналы управления.

По направлению счета выделяют счетчики:

- суммирующие, состояния которых в процессе счета изменяются в сторону возрастания;
- вычитающие, состояния которых в процессе счета изменяются в сторону убывания;
- реверсивные, способные осуществлять счет как в сторону возрастания, так и в сторону убывания состояний.



Основным параметром счетчика является коэффициент пересчета (модуль счета) $k_{сч}$, определяемый числом всех различных состояний, через которые проходит счетчик в процессе одного полного цикла счета.

Другими словами, коэффициент пересчета представляет собой число импульсов, которые необходимо подать на счетный вход, чтобы счетчик, пройдя полный

цикл счета, вернулся в исходное состояние. Состояния счетчика с коэффициентом пересчета лежат в диапазоне $Q_{сч} = \overline{0, k_{сч} - 1}$.

По значению коэффициента пересчета различают:

- двоичные счетчики, у которых $k_{сч} = 2^n$, где n — число разрядов выходного двоичного кода счетчика (число триггеров); состояние счетчика определяется n -разрядным двоичным кодом в диапазоне $Q_{сч} = \overline{0, 2^n - 1}$;
- десятичные счетчики, у которых $k_{сч} = 10^l$, где l — число двоичных тетрад выходного двоично-десятичного кода счетчика; состояние счетчика определяется 4 l -разрядным двоично-десятичным кодом в диапазоне $Q_{сч} = \overline{0, 10^l - 1}$;
- счетчики с произвольным постоянным коэффициентом пересчета;
- счетчики с переменным (программируемым) коэффициентом пересчета.

Если счетчик находился в исходном состоянии $Q_{сч.нач}$, то его состояние $Q_{сч.кон}$ после подачи N тактовых импульсов определяется выражением:

для суммирующего счетчика

$$Q_{сч.кон} = (Q_{сч.нач} + N) \bmod k_{сч},$$

для вычитающего счетчика

$$Q_{сч.кон} = (k_{сч} - 1) - (k_{сч} + N - Q_{сч.нач} - 1) \bmod k_{сч},$$

где $y \bmod x$ — функция «остаток от деления y на x ».

Для организации асинхронного двоичного счетчика с коэффициентом пересчета $k_{сч}$ необходимо использовать $n = \log_2 k_{сч}$ счетных триггеров, соединяя выход предыдущего триггера со счетным входом последующего. При этом младшему разряду выходного n -разрядного двоичного кода счетчика будет соответствовать первый триггер, на счетный вход которого непосредственно подаются счетные импульсы.

На рис. 5.14 представлен пример реализации и условное графическое обозначение суммирующего асинхронного двоичного счетчика с $k_{сч} = 8$. Счетчик представляет собой последовательную цепь $n = \log_2 8 = 3$ счетных триггеров с управлением по срезу сигнала синхронизации, содержащих дополнительные асинхронные входы R для предварительной установки в нулевое состояние.

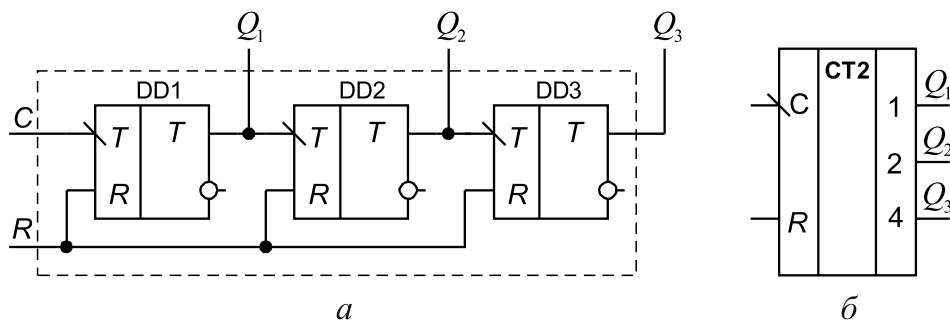


Рис. 5.14 – Суммирующий асинхронный двоичный счетчик: *а* — функциональная схема; *б* — условное графическое обозначение

Счетчик рис. 5.14 устанавливается в исходное (нулевое) состояние подачей сигнала логической единицы на вход R . Тактовые импульсы запускают только триггер $DD1$. Сигналы с прямого выхода триггера $DD1$ являются тактовыми для триггера $DD2$, а сигналы с прямого выхода триггера $DD2$ — тактовыми для триггера $DD3$. Таким образом, изменение состояний последовательно распространяется по цепочке триггеров от $DD1$ к $DD3$. При этом состояния счетчика, определяемые двоичным кодом $Q_3Q_2Q_1$ на выходах триггеров, с приходом тактовых импульсов изменяются от 000 до 111 и затем циклически повторяются (рис. 5.15).

Наращивание разрядности счетчика достигается добавлением в последовательную цепь необходимого числа триггеров, входы R которых подключают к шине сброса.



.....
 Для организации *асинхронного вычитающего счетчика* необходимо либо применять счетные триггеры с управлением по фронту тактовых импульсов, либо в качестве тактовых сигналов последующих триггеров с управлением по срезу использовать сигналы с инверсных выходов предыдущих триггеров.

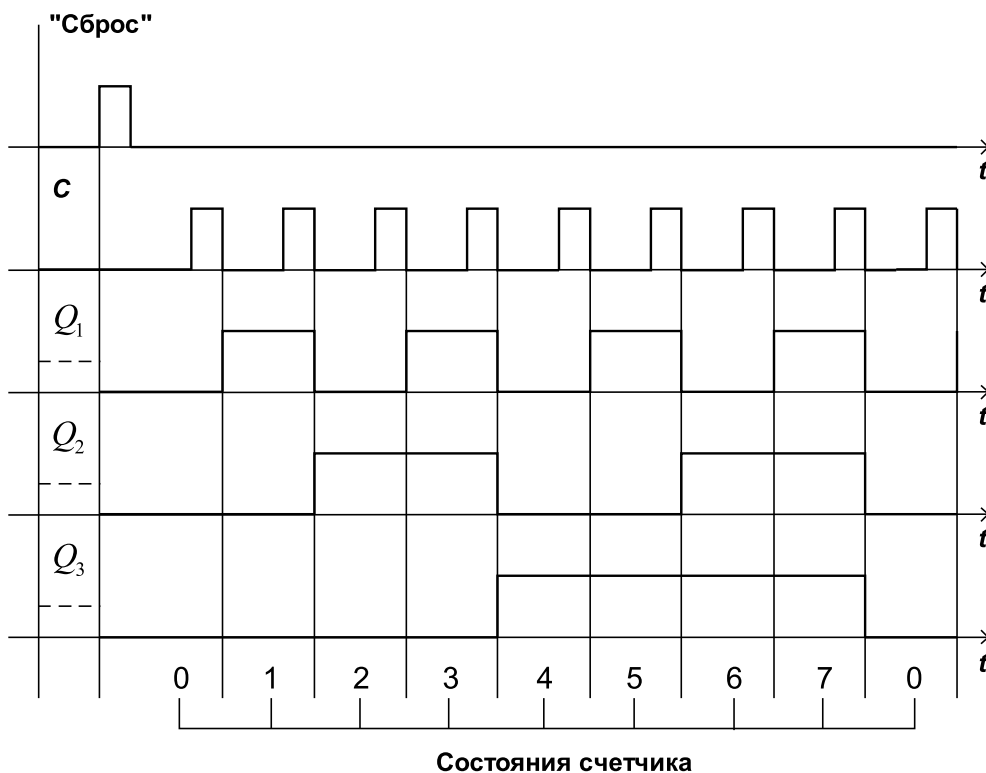


Рис. 5.15 – Временные диаграммы суммирующего асинхронного двоичного счетчика

На рис. 5.16 и 5.17 представлены примеры реализации *вычитающих асинхронных двоичных счетчиков* с $k_{сч} = 8$ на базе $n = \log_2 8$ счетных триггеров.

Счетчик (рис. 5.16) устанавливается в нулевое состояние подачей сигнала логической единицы на вход R . Поскольку изменение состояний триггеров происхо-

дит по фронту тактовых импульсов, состояния счетчика, определяемые двоичным кодом $Q_3Q_2Q_1$, с приходом тактовых импульсов изменяются от 111 до 000 и затем циклически повторяются (рис. 5.18).

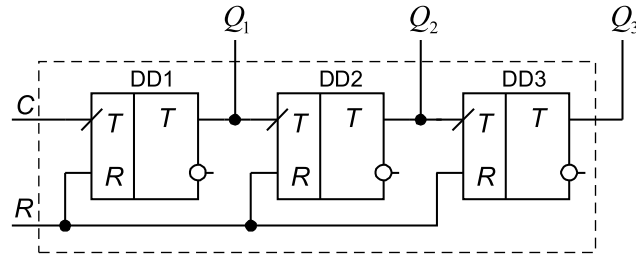


Рис. 5.16 – Функциональная схема вычитающего асинхронного двоичного счетчика

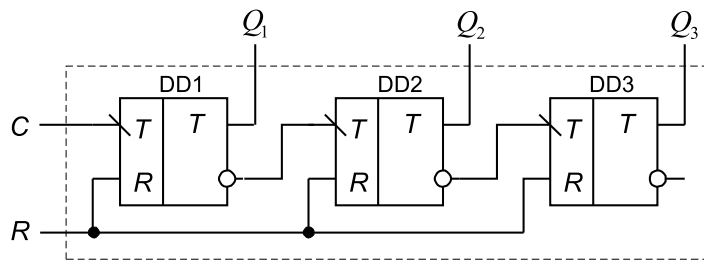


Рис. 5.17 – Функциональная схема вычитающего асинхронного двоичного счетчика

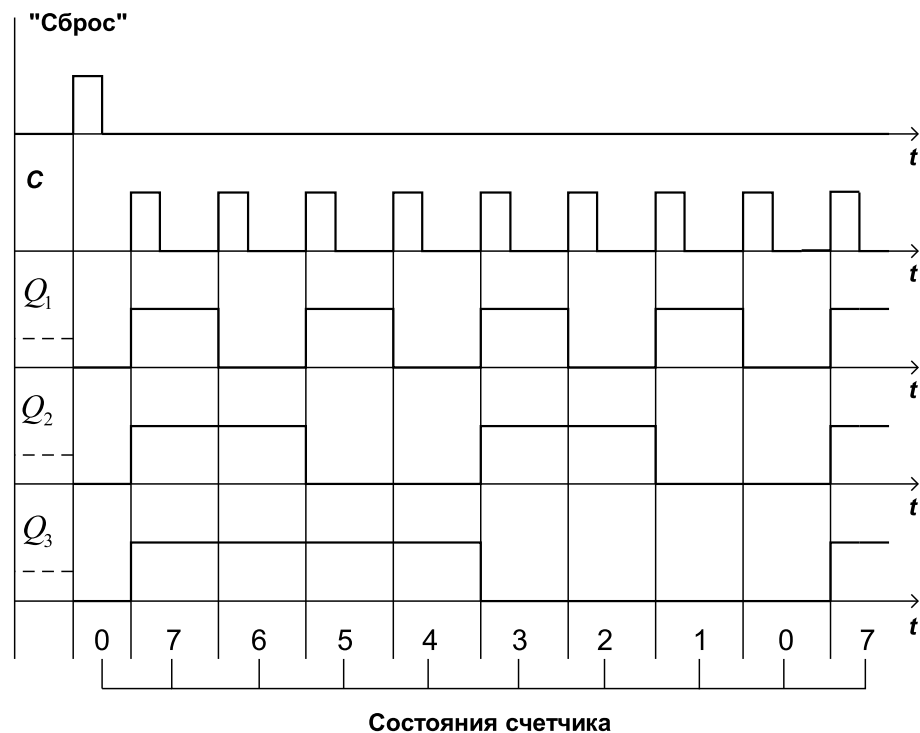
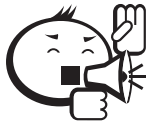


Рис. 5.18 – Временные диаграммы вычитающего асинхронного двоичного счетчика

В счетчике (рис. 5.17) использование сигналов с инверсных выходов триггеров для тактирования последующих триггеров эквивалентно применению триггеров с управлением по фронту (рис. 5.19).



.....
 Для построения *реверсивного асинхронного счетчика* необходимо в зависимости от сигнала управления в качестве тактовых сигналов последующих триггеров использовать либо прямые, либо инверсные выходные сигналы предыдущих триггеров.

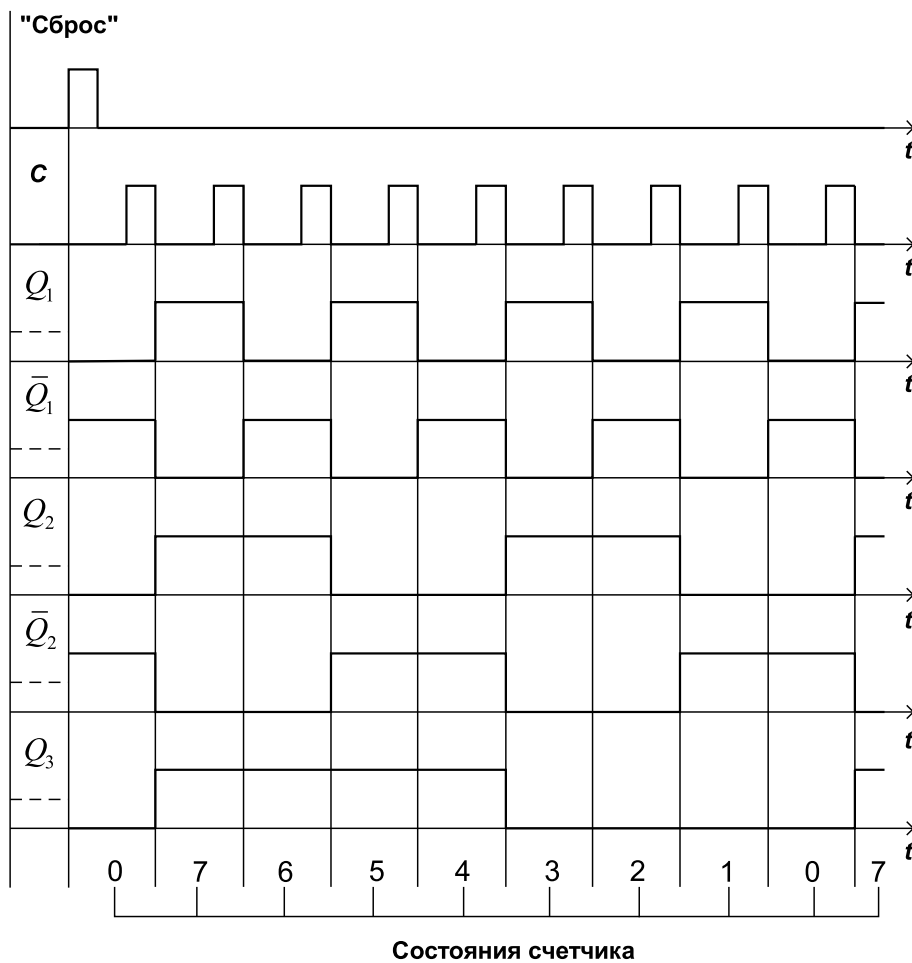


Рис. 5.19 – Временные диаграммы вычитающего асинхронного двоичного счетчика

Формирование соответствующего тактового сигнала можно реализовать, используя логические элементы «исключающее ИЛИ».

На рис. 5.20 представлена схема асинхронного реверсивного трехразрядного счетчика. Вход R предназначен для установки счетчика в нулевое состояние. Направление счета определяется сигналом управления, подаваемым на вход « ± 1 ». При поступлении на вход « ± 1 » сигнала логического нуля логические элементы «исключающее ИЛИ» работают как повторители сигналов с прямых выходов тригг-

геров, обеспечивая счет в прямом направлении. Если на вход « ± 1 » подан сигнал логической единицы, элементы «исключающее ИЛИ» функционируют как инверторы сигналов с прямых выходов триггеров, в результате чего счет осуществляется в обратном направлении. Для наращивания разрядности счетчика используется выход переноса P , который подключается к тактовому входу C триггера последующего разряда.

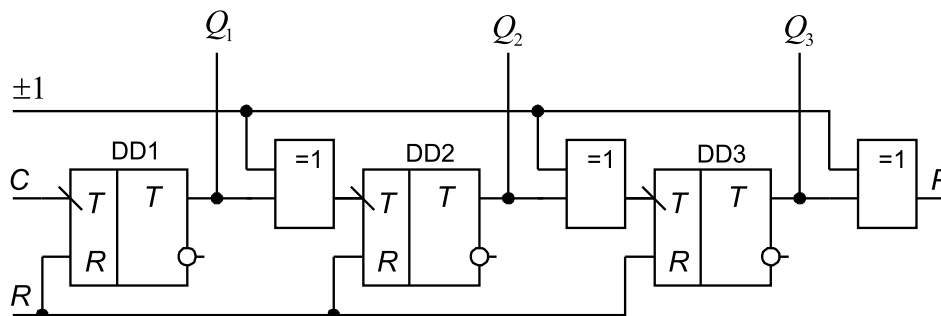


Рис. 5.20 – Функциональная схема асинхронного реверсивного счетчика

Условное графическое обозначение трехразрядного реверсивного двоичного счетчика, структура которого соответствует рис. 5.20, представлено на рис. 5.21.

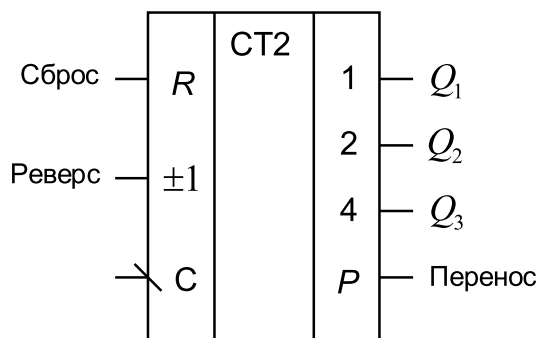


Рис. 5.21 – Условное графическое обозначение реверсивного двоичного счетчика

На рис. 5.22 приведен пример построения шестизрядного ($k_{сч} = 2^6 = 64$) реверсивного счетчика на базе двух трехразрядных счетчиков.



Принцип действия двоичного синхронного суммирующего счетчика сводится к процессу суммирования предыдущего состояния счетчика с единицей.

При этом учитываются следующие особенности:

- если в младшем разряде предыдущего состояния счетчика имеется 0, то суммирование изменяет лишь цифру младшего разряда на единицу;
- если в m младших разрядах содержится единица, а в $(m + 1)$ -ом разряде 0, то цифры m младших разрядов изменяются на значение 0, а в $(m + 1)$ -ом разряде — на значение 1.

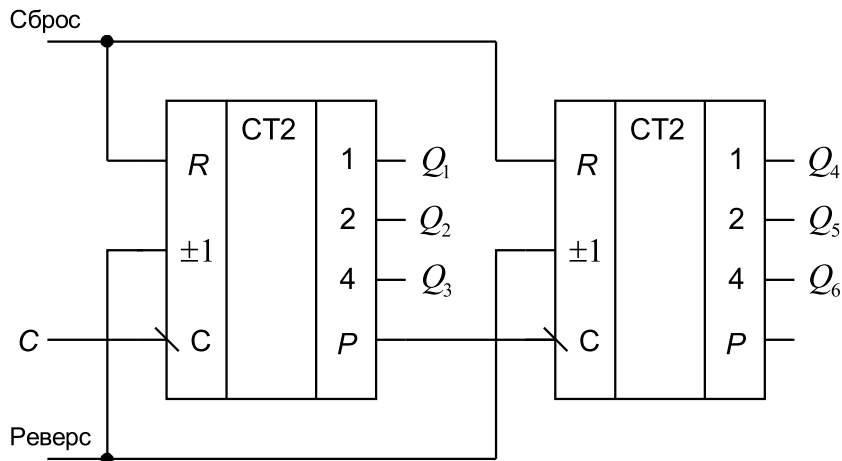


Рис. 5.22 – Наращивание разрядности реверсивного двоичного счетчика

Пусть $Q_1^i, Q_2^i, \dots, Q_n^i$ – цифры разрядов выходного кода до суммирования; $Q_1^{i+1}, Q_2^{i+1}, \dots, Q_n^{i+1}$ – цифры разрядов выходного кода, полученного в результате суммирования с 1. Обозначим Π_k значение переноса, формируемого при сложении в $(k-1)$ -ом разряде, тогда Π_{k+1} – перенос, формируемый в k -ом разряде.

Результат суммирования предыдущего состояния счетчика с единицей в k -ом разряде определяется табл. 5.6.

Таблица 5.6 – Реализация операции суммирования в синхронном счетчике

Q_k^i	Π_k	Q_k^{i+1}	Π_{k+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Из таблицы следуют булевы выражения:

$$\Pi_{k+1} = Q_k^i \Pi_k \quad (5.1)$$

$$Q_k^{i+1} = Q_k^i \bar{\Pi}_k + \bar{Q}_k^i \Pi_k \quad (5.2)$$

Выражение (5.1) показывает, что сигнал переноса в последующий $(k+1)$ -ый разряд формируется как конъюнкция сигнала с прямого выхода триггера k -го разряда и сигнала переноса с предыдущего $(k-1)$ -го разряда. Выражение (5.2) показывает, что если сигнал переноса из $(k-1)$ -го разряда равен 0, то состояние триггера k -го разряда не изменяется, а в противном случае изменяется на противоположное. Такой закон функционирования k -го разряда счетчика может быть реализован путем применения JK -триггера, на входы J и K которого подается сигнал переноса из предыдущего $(k-1)$ -го разряда. Поскольку значение младшего разряда выходного кода должно меняться с приходом каждого тактового импульса, функционирование триггера младшего разряда определяется выражением $Q_1^{i+1} = \bar{Q}_1^i$. Из сравнения этого выражения с выражением (5.2) следует, что сигнал переноса Π_1 для младшего разряда должен быть равен 1.

Схема четырехразрядного синхронного суммирующего двоичного счетчика, отвечающего рассмотренному принципу организации, представлена на рис. 5.23, где $\Pi_1 = 1$, $\Pi_2 = Q_1^i \Pi_1 = Q_1^i$, $\Pi_3 = Q_2^i \Pi_2$, $\Pi_4 = Q_3^i \Pi_3$.

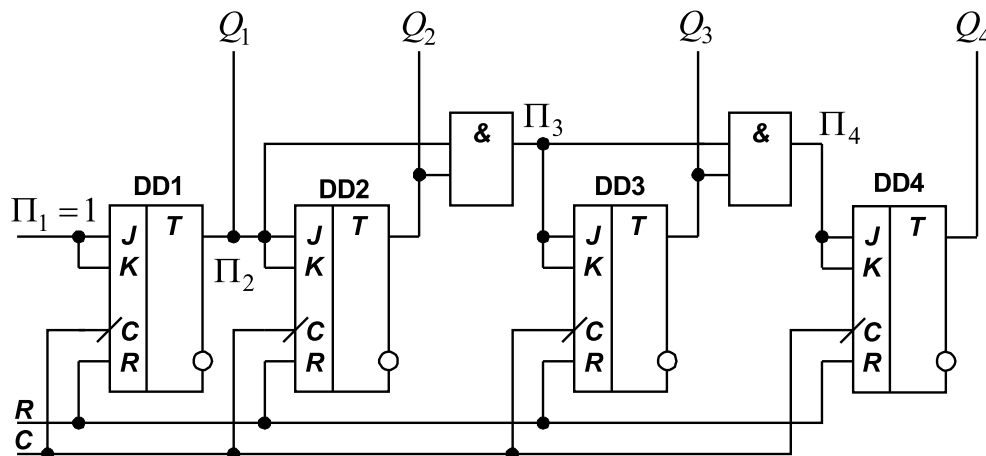


Рис. 5.23 – Функциональная схема синхронного суммирующего двоичного счетчика



В отличие от синхронного суммирующего счетчика в *синхронном вычитающем счетчике* сигналы переноса Π_2, Π_3, \dots формируются не с прямых, а с инверсных выходов триггеров.



Реверсивный синхронный счетчик можно реализовать по аналогии с организацией асинхронных реверсивных счетчиков, используя логические элементы «исключающее ИЛИ».

Счетчики с произвольным постоянным коэффициентом пересчета $k_{сч}$ как правило содержат двоичный счетчик из $n = \lceil \log_2 k_{сч} \rceil + 1$ триггеров, где $\lceil x \rceil$ — функция «целая часть x ».

При этом коэффициент пересчета лежит в диапазоне $2^n \leq k_{сч} < 2^{n+1}$, что свидетельствует о наличии избыточных состояний счетчика. Для исключения избыточных состояний двоичный счетчик дополняется комбинационной схемой, обеспечивающей принудительную установку счетчика в заданное исходное состояние. Для примера рассмотрим синтез асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч} = 97$.

Реализация счетчика с коэффициентом пересчета $k_{сч} = 97$ требует $n = \lceil \log_2 97 \rceil + 1 = \lceil 6.6 \rceil + 1 = 6 + 1 = 7$ триггеров (разрядов выходного двоичного кода). С целью сокращения номенклатуры используемых интегральных микросхем последовательную цепь из 7 триггеров можно организовать, применяя каскадное соединение двух четырехразрядных суммирующих асинхронных двоичных счетчиков (рис. 5.24). При этом старший триггер счетчика $DD2$ (выход Q_8) является

избыточным. Семиразрядный двоичный счетчик обладает состояниями от $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 0000000_2 = 0_{10}$ до $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 1111111_2 = 127_{10}$, а состояния суммирующего счетчика с коэффициентом пересчета $k_{сч} = 97$ должны изменяться от $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 0000000_2 = 0_{10}$ до $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 1100000_2 = 96_{10}$. Это значит, что при переходе из состояния $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 1100000_2 = 96_{10}$ в состояние $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 1100001_2 = 97_{10}$ счетчик должен обнулиться. Обнуление счетчика достигается включением в схему трехходового конъюнктора, на входы которого подаются сигналы с выходов Q_7, Q_6, Q_1 .

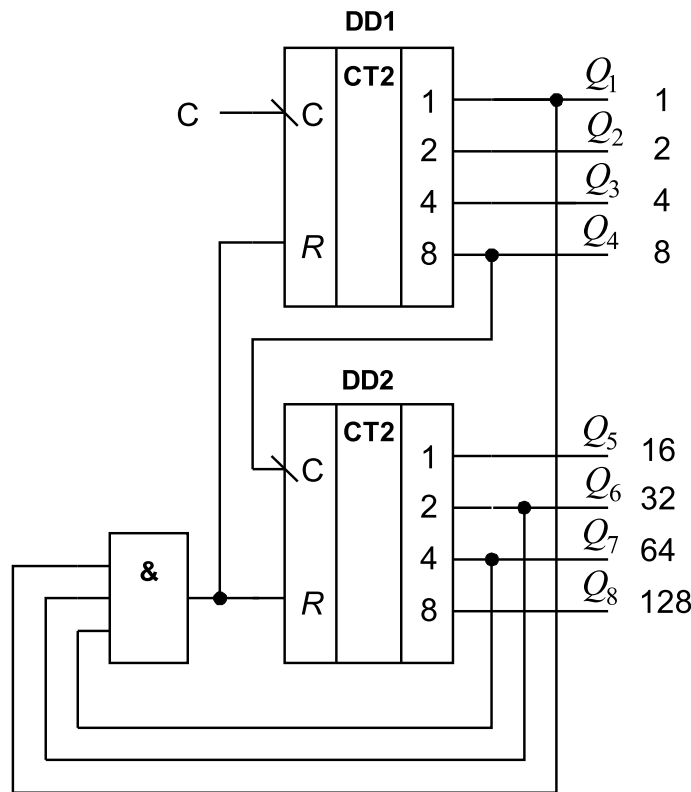


Рис. 5.24 – Функциональная схема асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч}=97$



.....
 Важным частным случаем счетчиков с произвольным постоянным коэффициентом пересчета являются *десятичные счетчики*, которые выпускаются в виде интегральных микросхем.

Для построения десятичного счетчика с коэффициентом пересчета $k_{сч}$ необходимо $l = \lg k_{сч}$ тетрад выходного кода и $n = 4 \lg k_{сч}$ триггеров. Рассмотрим построение десятичного асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч} = 10$. Реализация счетчика с коэффициентом пересчета $k_{сч} = 10$ требует $n = 4 \cdot \lg 10 = 4$ триггера, образующих одну двоичную тетраду (один разряд десятичного кода).

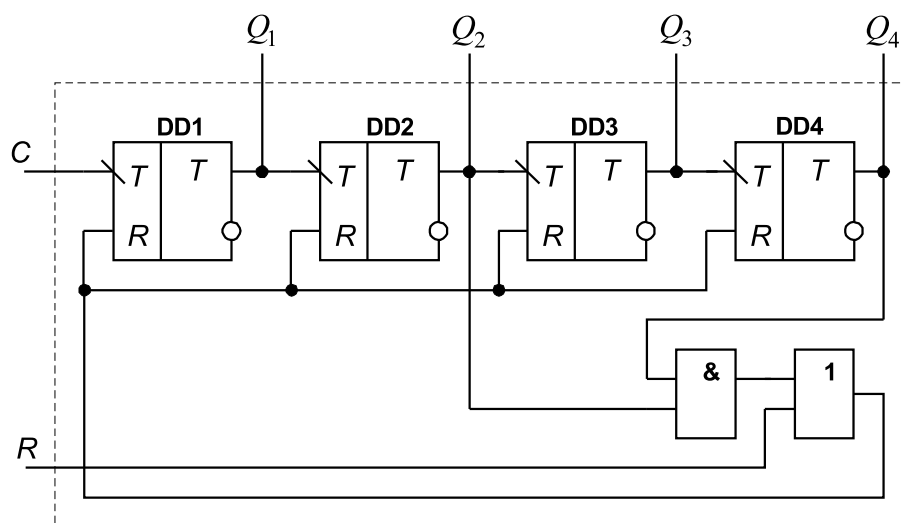


Рис. 5.25 – Функциональная схема десятичного асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч}=10$

Двоичный счетчик, содержащий четыре последовательно соединенных триггера, обладает состояниями от $Q = Q_4Q_3Q_2Q_1 = 0000_2 = 0_{10}$ до $Q = Q_4Q_3Q_2Q_1 = 1111_2 = 15_{10}$, а состояния суммирующего десятичного счетчика с коэффициентом пересчета $k_{сч} = 10$ должны изменяться от $Q = Q_4Q_3Q_2Q_1 = 0000_2 = 0_{10}$ до $Q = Q_4Q_3Q_2Q_1 = 1001_2 = 9_{10}$. Логический элемент И обеспечивает сброс счетчика при переходе из состояния $Q = Q_4Q_3Q_2Q_1 = 1001_2 = 9_{10}$ в состояние $Q = Q_4Q_3Q_2Q_1 = 1010_2 = 10_{10}$. Для принудительного сброса счетчика под действием внешнего сигнала со входа R в схеме предусмотрен логический элемент ИЛИ.

Условное графическое обозначение десятичного счетчика с коэффициентом пересчета $k_{сч} = 10$, структура которого соответствует рис. 5.25, представлено на рис. 5.26.

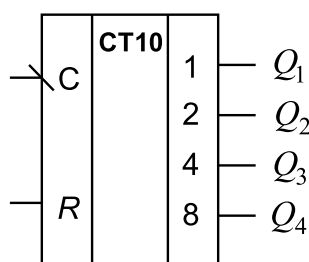


Рис. 5.26 – Условное графическое обозначение десятичного асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч} = 10$

Микросхемы десятичных счетчиков можно использовать для построения счетчиков с произвольным коэффициентом пересчета. При этом каждому десятичному разряду коэффициента пересчета соответствует четырехразрядный десятичный счетчик, а веса разрядов определяются выражением $10^{l-1} \cdot 2^{k-1}$, где l – номер двоичной тетрады, а k – номер разряда в составе данной тетрады.

На рис. 5.27 представлена схема асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч} = 97$, построенная на основе микросхем десятичных

счетчиков. Сброс счетчика обеспечивается логическим элементом И с учетом указанных на рис. 5.27 весов разрядов.



.....
 Для расширения функциональных возможностей выпускаются интегральные микросхемы счетчиков, содержащие информационные входы для предварительной установки счетчика в произвольное состояние.

Примерами интегральных микросхем счетчиков, содержащих входы предварительной установки, являются четырехразрядные синхронные реверсивные счетчики К555ИЕ7 (двоичный с $k_{сч} = 16$) и К555ИЕ6 (десятичный с $k_{сч} = 10$), условные графические обозначения которых представлены на рис. 5.28.

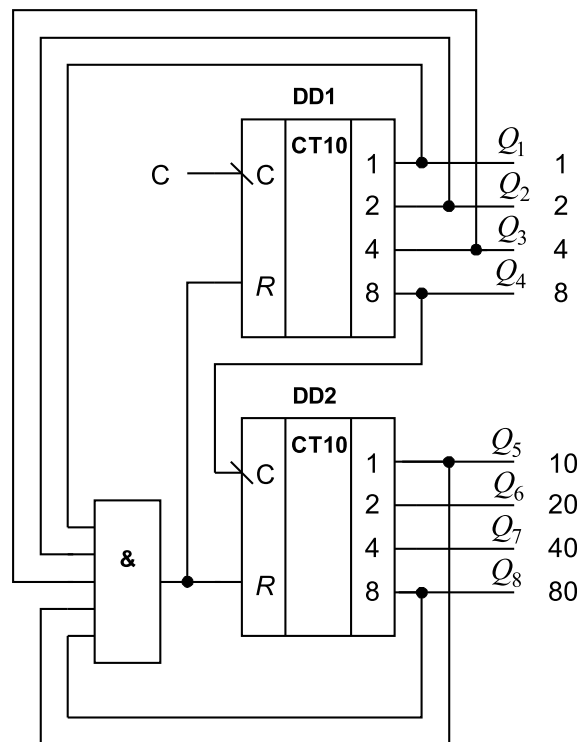


Рис. 5.27 – Функциональная схема асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч} = 97$

Микросхемы содержат два счетных входа «+1» и «-1» с управлением по фронту тактовых импульсов. Тактовые импульсы подаются на один из этих входов в зависимости от того, в каком направлении требуется вести счет. При работе в режиме суммирующего счетчика тактовые импульсы подаются на вход «+1», а при работе в режиме вычитающего счетчика – на вход «-1». Информационные входы $D3 - D0$ предназначены для записи в счетчик произвольного исходного состояния. Запись исходного состояния производится подачей сигнала логического нуля на асинхронный инверсный вход V разрешения установки счетчика в произвольное состояние.

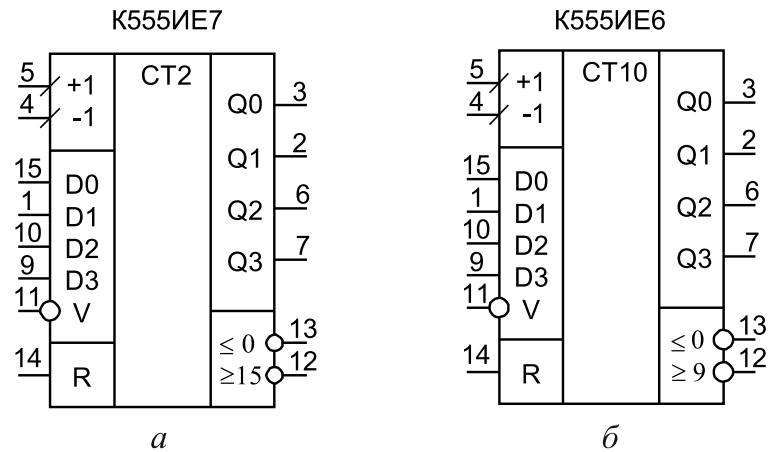


Рис. 5.28 – Условные графические обозначения синхронных реверсивных двоичного (а) и десятичного (б) счетчиков

На рис. 5.29 представлены временные диаграммы работы счетчика K555IE6, когда на входы $D_3 - D_0$ подан двоичный код $0111_2 = 7_{10}$.

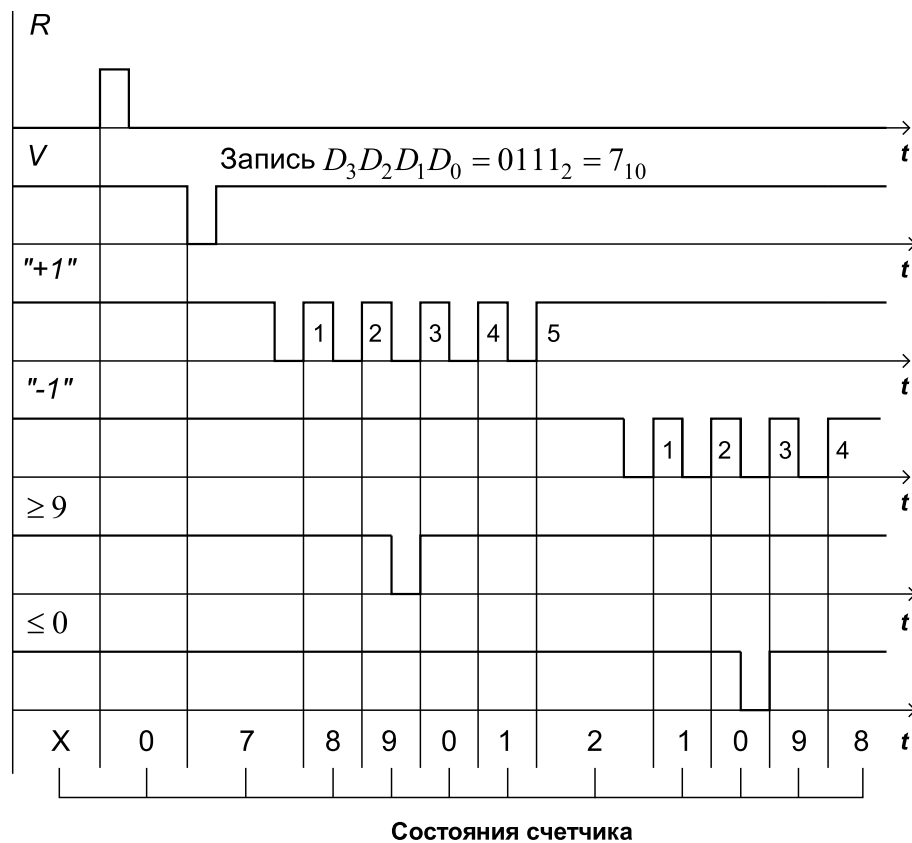


Рис. 5.29 – Временные диаграммы счетчика K555IE6

Асинхронный вход R служит для сброса счетчика в нулевое состояние и является приоритетным над остальными входами. На выходах $Q_3 - Q_0$ формируется двоичный код, определяющий текущее состояние счетчика. Инверсные выходы « ≤ 0 », « ≥ 15 », « ≥ 9 » используют для каскадного соединения микросхем счетчиков. Когда счетчик работает в режиме вычитания и находится в нулевом текущем

состоянии, на выходе заема « ≤ 0 » формируется сигнал, который повторяет сигнал со счетного входа « -1 ». При работе в режиме суммирования, когда счетчик К555ИЕ7 (К555ИЕ6) находится в 15-ом (9-ом) текущем состоянии, на выходе переноса « ≥ 15 » (« ≥ 9 ») формируется сигнал, который повторяет сигнал со счетного входа « $+1$ ». Во всех остальных режимах на выходах « ≤ 0 », « ≥ 15 », « ≥ 9 » присутствует сигнал логической единицы.

Временные диаграммы для счетчика К555ИЕ7 подобны рассмотренным за исключением пределов счета.

Для наращивания разрядности счетчиков применяют последовательное включение микросхем К555ИЕ7, К555ИЕ6. На рис. 5.30 показана схема реверсивного восьмиразрядного двоичного счетчика ($k_{сч} = 2^8 = 256$), реализованного на двух микросхемах К555ИЕ7.

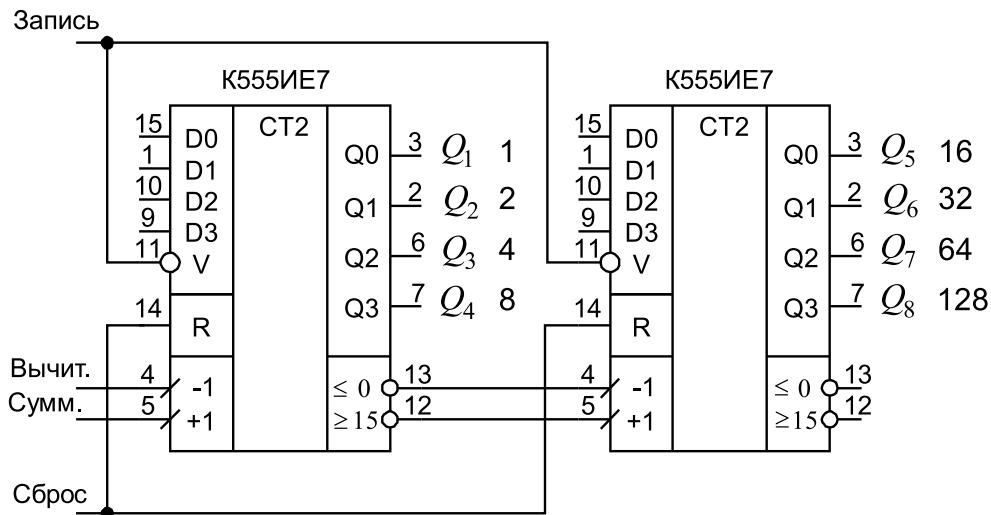


Рис. 5.30 – Наращивание разрядности реверсивного двоичного счетчика



Цифровой делитель частоты представляет собой последовательностное цифровое устройство, на выходе которого формируется периодическая последовательность импульсов с частотой $f_{вых} = f_{вх}/k_{дел}$, где $f_{вх}$ – частота периодической последовательности импульсов на входе, а $k_{дел}$ – коэффициент деления частоты.

Реализация цифровых делителей частоты основана на применении цифровых счетчиков, у которых $k_{сч} = k_{дел}$. При этом последовательность смены состояний может быть произвольной, важно лишь обеспечить требуемый коэффициент пересчета счетчика. Наиболее просто реализуются делители частоты с коэффициентами деления $k_{дел} = 2^n$, где n -произвольное натуральное число, поскольку на выходе k -го разряда двоичного счетчика частота следования импульсов связана с частотой $f_{вх}$ тактовых импульсов соотношением $f_{вых.k} = f_{вх}/2^k$.



.....
 Для построения делителей частоты с коэффициентом деления $k_{\text{дел}} \neq 2^n$ необходимо синтезировать счетчик с произвольным коэффициентом пересчета.

Делитель частоты с коэффициентом деления $k_{\text{дел}} = 12$ представлен на рис. 5.31.

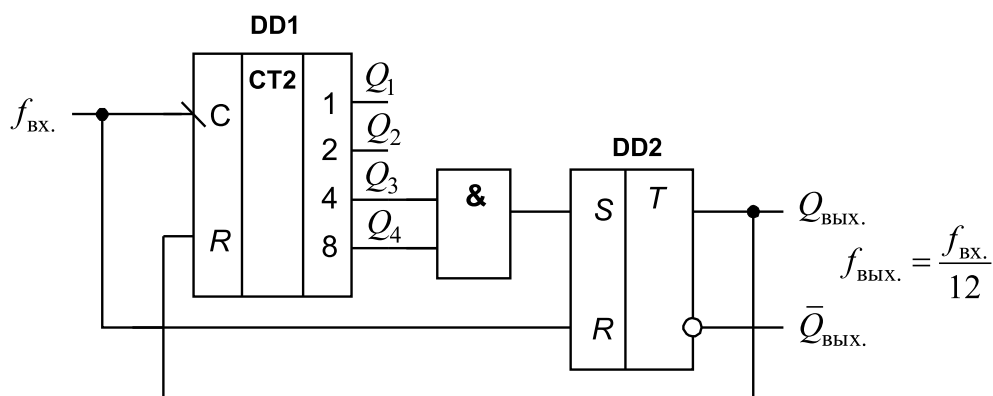


Рис. 5.31 – Функциональная схема делителя частоты с коэффициентом деления $k_{\text{дел}} = 12$

Временные диаграммы работы делителя частоты приведены на рис. 5.32.

В основу делителя частоты положен суммирующий счетчик с коэффициентом пересчета $k_{\text{сч}} = 12$. При переходе счетчика в двенадцатое состояние на выходе логического элемента И формируется сигнал логической единицы, который устанавливает RS -триггер в единичное состояние. Сигнал логической единицы с прямого выхода RS -триггера сбрасывает счетчик в нулевое состояние. При этом суммарная задержка распространения сигнала в микросхемах определяет длительность импульса на входе S триггера. С приходом следующего тактового импульса RS -триггер устанавливается в нулевое состояние. В результате на выходах триггера формируются периодические последовательности импульсов с частотой $f_{\text{вых}} = f_{\text{вх}}/12$.

Схема делителя частоты с программируемым коэффициентом деления представлена на рис. 5.33. Для обеспечения программирования коэффициента деления частоты использован счетчик, содержащий информационные входы для предварительной установки в произвольное состояние.

При работе в режиме вычитания состояния счетчика изменяются от $D_{\text{прогр}}$ до 0. Когда счетчик находится в нулевом состоянии, по фронту тактового импульса происходит запись логического нуля с выхода заема « ≤ 0 » в D -триггер, что обеспечивает очередную установку счетчика в состояние $D_{\text{прогр}}$. Таким образом, число состояний счетчика равно $(D_{\text{прогр}} + 1)$, следовательно, $k_{\text{дел}} = k_{\text{сч}} = D_{\text{прогр}} + 1$.

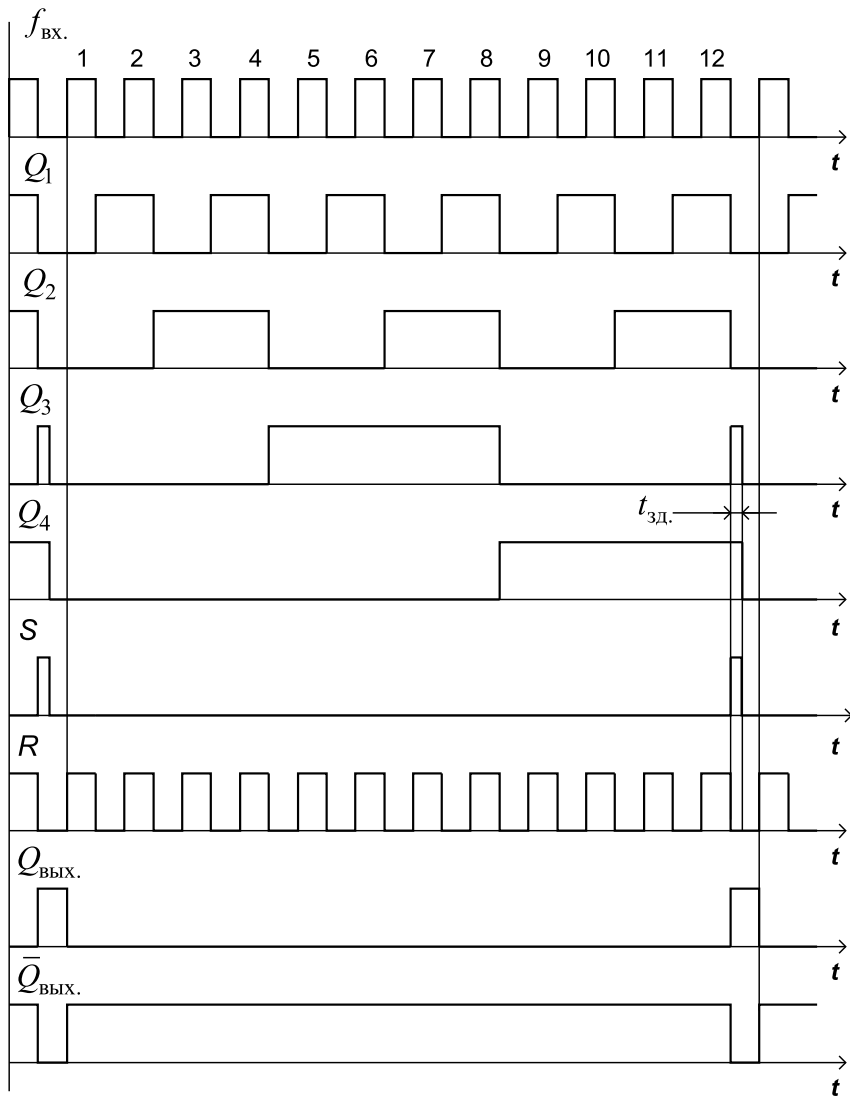


Рис. 5.32 – Временные диаграммы делителя частоты с коэффициентом деления $k_{дел} = 12$

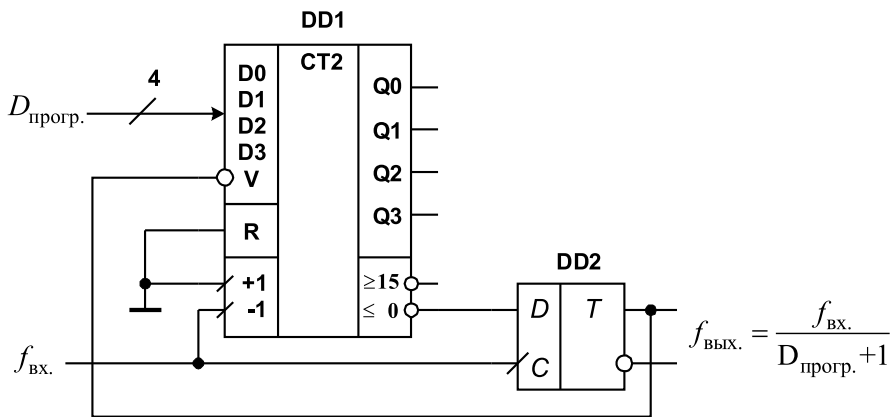


Рис. 5.33 – Функциональная схема делителя частоты с программируемым коэффициентом деления

Временные диаграммы работы программируемого делителя частоты при $D_{\text{прогр}} = 7$ представлены на рис. 5.34.

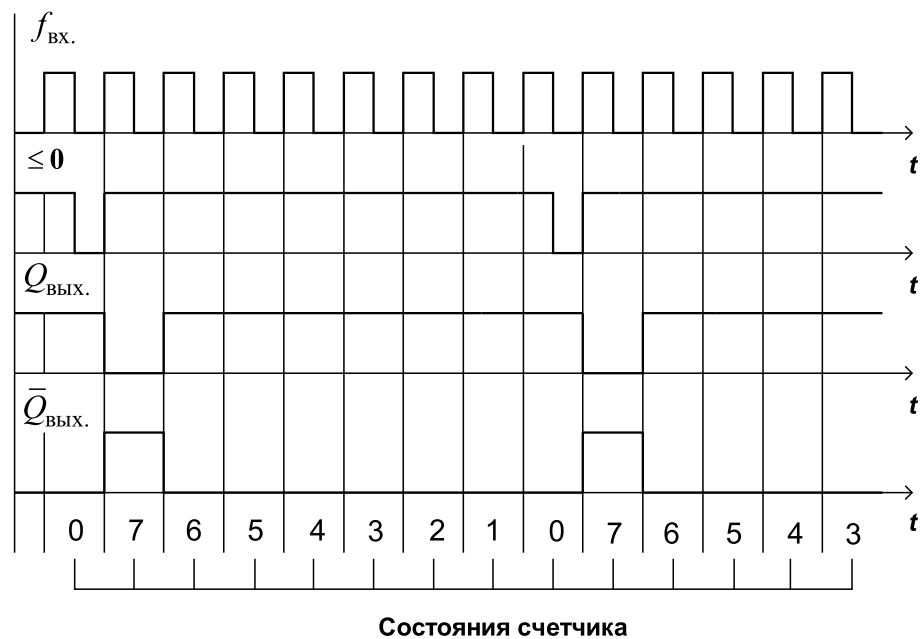
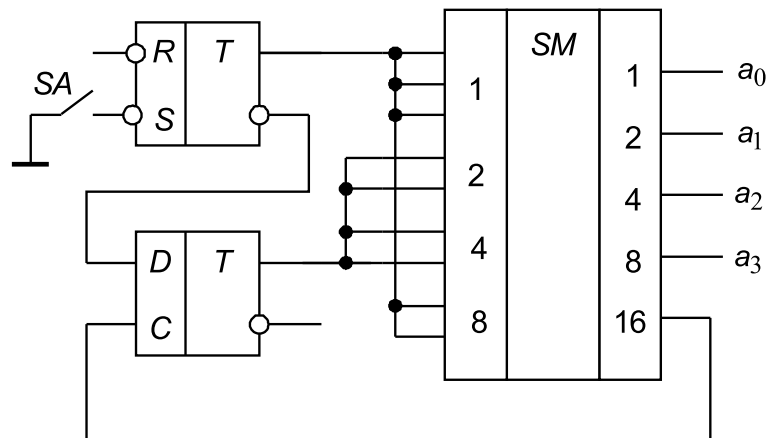


Рис. 5.34 – Временные диаграммы программируемого делителя частоты при $D_{\text{прогр}} = 7$

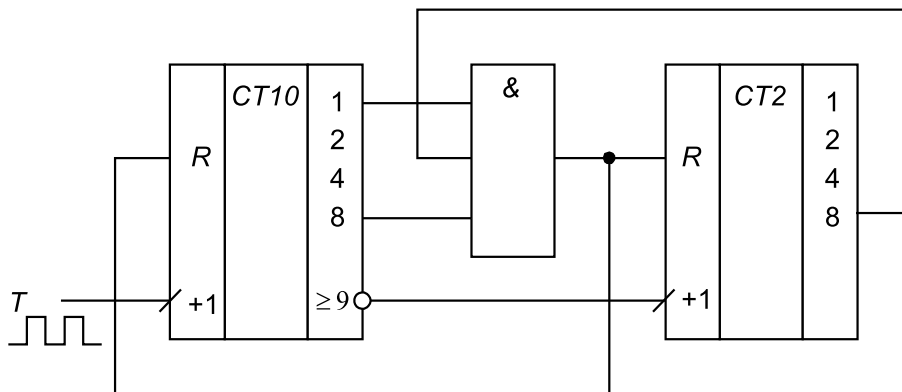


Контрольные вопросы по главе 5

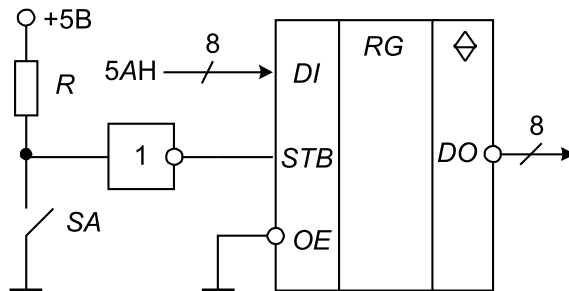
- 1) Определить двоичный код $a_3a_2a_1a_0$, формируемый на выходе схемы при замыкании ключа:



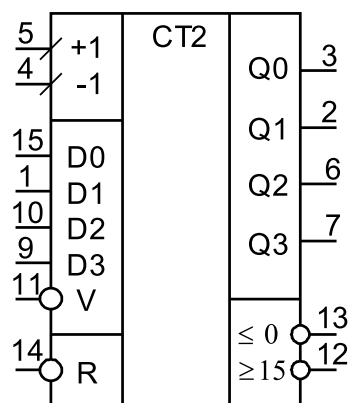
- 2) Определить коэффициент пересчета счетчика:



- 3) Определить восьмиразрядное слово на выходе регистра после замыкания ключа:



- 4) Определить уровни сигналов на выходах восьмиразрядного суммирующего двоичного счетчика после поступления на его вход 90 импульсов, если счетчик находился в 175 состоянии.
5) Указать назначение вывода «13» двоичного счетчика:



Глава 6

ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

6.1 Общие положения



.....
К запоминающим устройствам (ЗУ) относят устройства, предназначенные для записи, хранения и считывания информации.
.....

Хранение отдельных битов и слов осуществляется с помощью триггеров или регистров. Для хранения больших объемов информации разработаны специальные микросхемы памяти, которые представляют собой функционально и конструктивно законченные микроэлектронные изделия, предназначенные для реализации оперативных и постоянных запоминающих устройств.



.....
Оперативные запоминающие устройства (ОЗУ) в рабочем режиме допускают запись, хранение и считывание информации. В постоянных запоминающих устройствах (ПЗУ) хранится информация, предназначенная только для считывания.
.....

Микросхемы ПЗУ в отличие от ОЗУ энергонезависимы, то есть информация в них не стирается при отключении питания. ПЗУ относятся к комбинационным, а ОЗУ — к последовательностным цифровым устройствам.

Для хранения одного бита информации в микросхемах памяти используются запоминающие элементы (ЗЭ). Для хранения многоразрядных чисел (слов) несколько запоминающих элементов объединяются в ячейки памяти (ЯП). В настоящее время используется главным образом адресный принцип хранения информации, предусматривающий наличие у каждой ячейки памяти определенного номера (ад-

реса), который в явном или в неявном виде должен быть указан при обращении к ЗУ. Кроме адресных ЗУ, ограниченное применение находят ассоциативные ЗУ, в которых поиск и считывание информации происходит не по ее адресу, а по некоторому признаку самой информации, хранящемуся в слове.

Микросхемы памяти как функциональные узлы характеризуются совокупностью адресных, информационных и управляющих сигналов, передаваемых по шине адреса, шинам данных и шине управления.

Основными характеристиками микросхем памяти являются:

- информационная емкость M , определяемая произведением числа хранимых в памяти слов ($k_{\text{слов}}$) на их разрядность m :

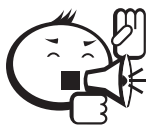
$$M = k_{\text{слов}} \times m = 2^n \times m [\text{бит}],$$

где n — разрядность шины адреса; m — разрядность шины данных; информационная емкость может измеряться в килобитах (1 Кбит = 2^{10} = 1024 бит), мегабитах (1 Мбит = 2^{20} = 1024 (Кбит)), байтах (1 байт = 8 бит), килобайтах, мегабайтах и т. д.;

- быстродействие, определяемое временем цикла обращения к памяти;
- удельная мощность, определяемая отношением потребляемой мощности к информационной емкости.

Рациональная организация памяти обычно предусматривает применение иерархической структуры ЗУ.

6.2 Принцип построения ЗУ с произвольным доступом



По виду доступа к информации различают ЗУ с произвольным доступом (с произвольной выборкой — ЗУПВ) и последовательным доступом.

Произвольный доступ предполагает возможность обращения к отдельным ЗЭ с целью записи или считывания в любом требуемом для конкретных условий порядке. Последовательный доступ предусматривает обращение к отдельным ЗЭ только в порядке возрастания или убывания их номеров (адресов).

На кристалле каждой микросхемы памяти формируется накопитель и схемы обрамления.

Накопитель представляет собой регулярную структуру из отдельных ЗЭ, число которых равно числу бит хранимой информации. К схемам обрамления относятся:

- дешифраторы выбора адресов ЗЭ;
- элементы управления режимами работы ЗУ;

- формирователи сигналов, обеспечивающие сопряжение накопителя с внешней средой.

Используется большое число разновидностей ЗЭ с числом компонентов (транзисторов, диодов и др.) от одного до восьми. В накопитель отдельные ЗЭ объединяются системой линий.

Вариант схмотехнического построения ЗЭ статического ОЗУ представлен на рис. 6.1.

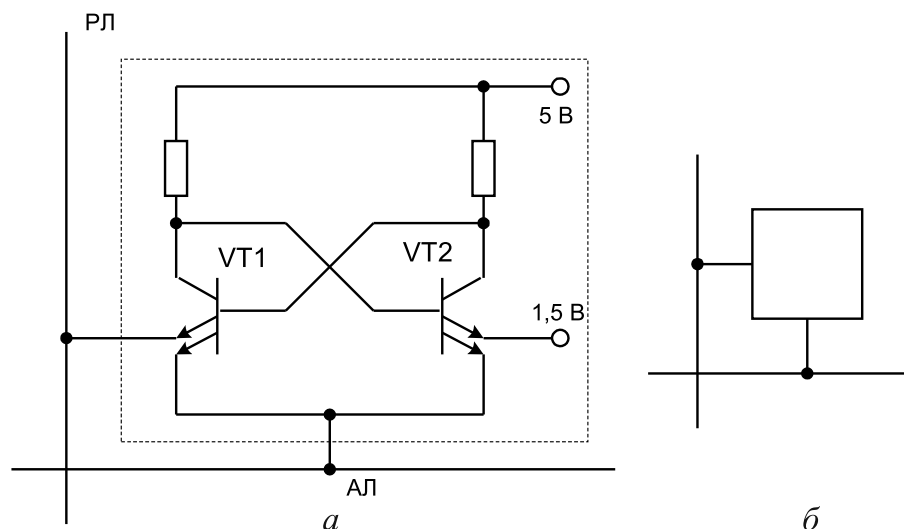


Рис. 6.1 – Электрическая схема (а) и условное обозначение (б) запоминающего элемента статического биполярного ОЗУ

Схема представляет собой RS -триггер, построенный на двух логических элементах И-НЕ ТТЛ. К накопителю ЗЭ подключается двумя линиями: адресной (АЛ) и разрядной (РЛ). В зависимости от комбинации напряжений на этих линиях ЗЭ может работать в одном из трех режимов: хранения информации, записи, считывания.

В режиме хранения на адресной линии поддерживается напряжение низкого уровня, а на разрядной линии — напряжение $+1,5$ В. При этом один из транзисторов открыт, а другой закрыт, и ток открытого транзистора протекает через эмиттерный переход, связанный с адресной линией.

Для обращения к ЗЭ с целью записи или считывания на АЛ формируется разрешающий сигнал в виде напряжения высокого уровня.

В режиме записи нужное состояние ЗЭ задают подачей на разрядную линию напряжения высокого или низкого уровня: при подаче напряжения низкого уровня транзистор $VT1$ включается, а $VT2$ выключается; при подаче напряжения высокого уровня — наоборот.

При считывании состояние ЗЭ определяют по наличию или отсутствию тока в РЛ.

При наличии одной АЛ возможно обращение к ЗЭ только по одной координате. Для двухкоординатного обращения используют трехэмиттерные транзисторы и с помощью дополнительных эмиттеров организуют вторую адресную линию.

Схема ЗЭ динамического ОЗУ приведена на рис. 6.2.

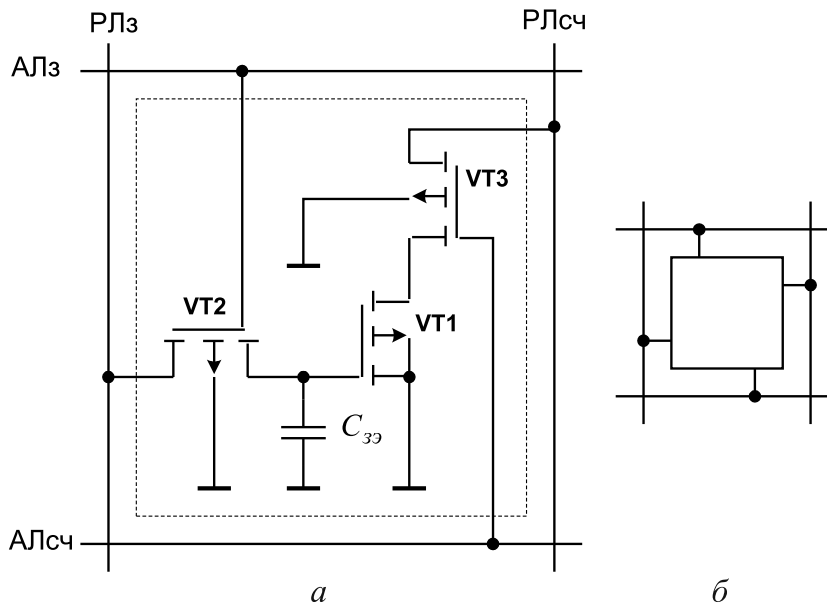


Рис. 6.2 – Электрическая схема (а) и условное обозначение (б) запоминающего элемента динамического ОЗУ

Запоминающий элемент реализован на трех МОП-транзисторах, причем элементом хранения информации является конденсатор C_{33} . В данном случае используются отдельные адресные и разрядные линии при записи и считывании информации. В процессе записи информации при разрешающем сигнале ALz обеспечивается заряд C_{33} от RLz через открытый транзистор $VT2$. Считывание информации производится по $RLch$ через $VT1$ и $VT3$ при разрешающем сигнале $ALch$.

Для построения накопителей постоянных ЗУ применяются ЗЭ с более простой структурой, например представленной на рис. 6.3.

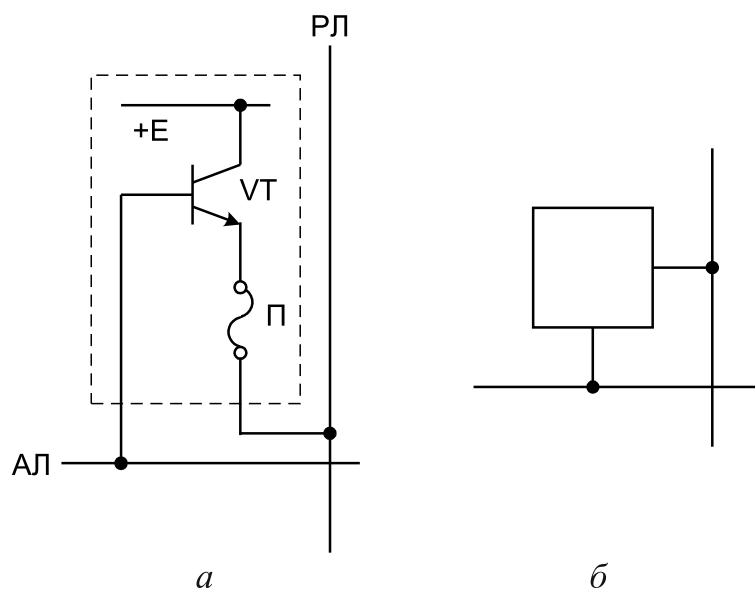


Рис. 6.3 – Электрическая схема (а) и условное обозначение (б) запоминающего элемента постоянного ЗУ

В эмиттерной цепи транзистора ЗЭ предусмотрена плавкая перемычка (П), которая в необходимых случаях пережигается при программировании ЗУ. При обращении к ЗЭ по АЛ в случае неразрушенной перемычки в РЛ будет протекать эмиттерный ток транзистора, а в случае разрушенной перемычки ток течь не будет.

При построении накопителей отдельные ЗЭ объединяются с помощью соответствующих линий. В основном используются два способа организации накопителей – словарный и матричный. Словарная организация предусматривает одновременное обращение к нескольким ЗЭ, находящимся в строке (к одному слову). На рис. 6.4, *а* показан пример накопителя со словарной организацией. В нем использован ЗЭ, схема которого представлена на рис. 6.1. Адрес выбираемой строки определяется подачей разрешающего сигнала на соответствующую АЛ. В накопителе матричного типа (рис. 6.4, *б*) обеспечивается обращение к каждому ЗЭ независимо от других. Выбор требуемого ЗЭ в данном случае задается пересечением соответствующих адресных линий по координатам x и y , на которые поданы разрешающие сигналы.

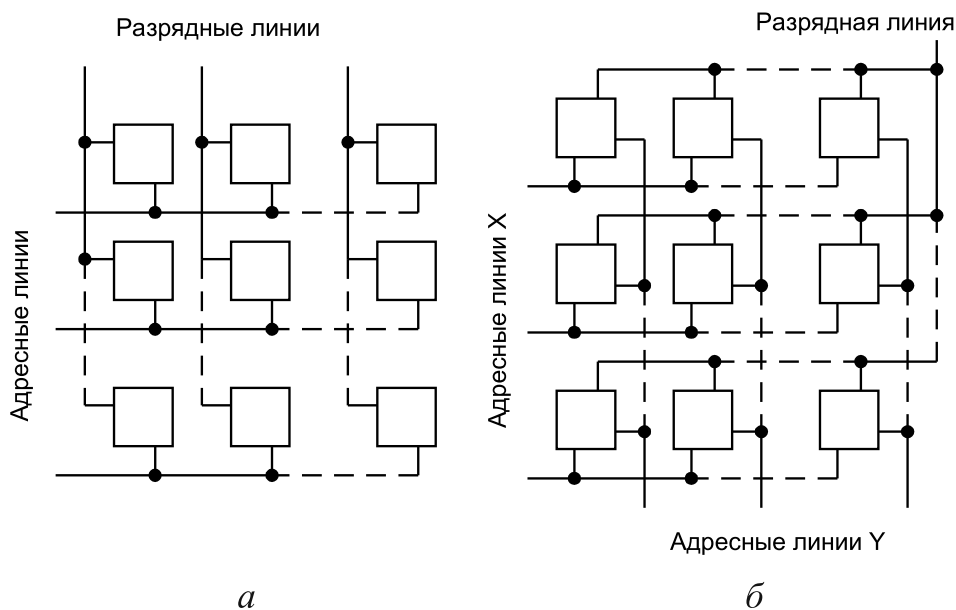


Рис. 6.4 – Накопители со словарной (*а*) и матричной (*б*) организацией

Структура ЗУ, которая наиболее полно соответствует статическому ОЗУ с матричным накопителем, представлена на рис. 6.5.

ЗУ (рис. 6.5) содержит накопитель (НК) и элементы обрамления: дешифратор строки (Дш X), дешифратор столбца (Дш Y), устройство управления (УУ), усилитель записи (УЗ), усилитель считывания (УС). Разрешающие сигналы по одной строке и одному столбцу накопителя, определяющие адресованную ячейку, формируются с помощью дешифраторов Дш X и Дш Y на основе двоичного кода адресной шины A . При словарной организации накопителя для обращения к отдельным разрядам строки могут включаться дополнительные мультиплексоры и демультимплексоры.

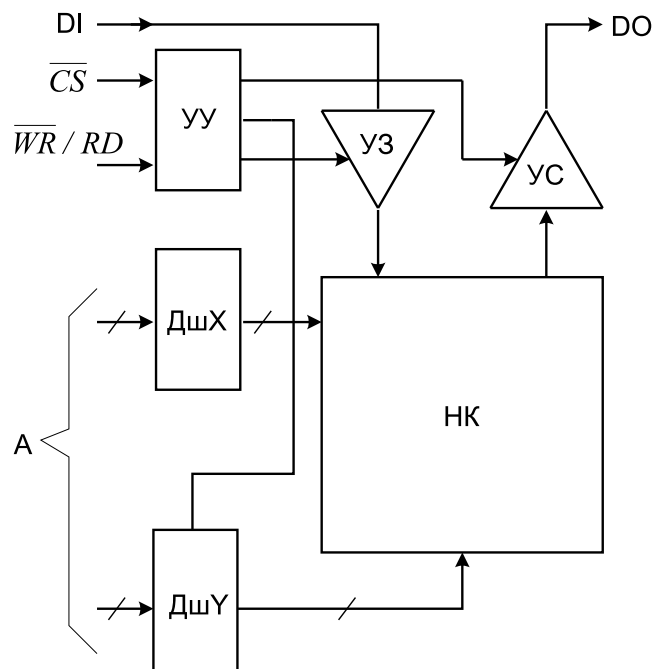


Рис. 6.5 – Структура статического ОЗУ с матричным накопителем

Устройство управления задает режим работы ЗУ в соответствии с комбинацией сигналов \overline{CS} и \overline{WR}/RD .

Значение $\overline{CS} = 1$ определяет работу ЗУ в режиме хранения информации. При этом отсутствует прием информации по входу DI , а выход DO (если он может принимать три состояния) находится в состоянии «выключено».

Подача сигнала $\overline{CS} = 0$ определяет выбор данной микросхемы для записи или считывания. Информация со входа DI записывается в адресованную ячейку при $\overline{WR}/RD = 0$ или считывается из адресованной ячейки при $\overline{WR}/RD = 1$.

6.3 Особенности построения постоянных ЗУ

Среди микросхем ПЗУ выделяют две основные разновидности:

- масочные ПЗУ (*ROM*), программирование которых выполняется в процессе их изготовления;
- программируемые ПЗУ (*PROM*), программирование которых осуществляется пользователем.

При изготовлении масочных ПЗУ обычно на кристалле полупроводника вначале создаются все ЗЭ, а затем на заключительных технологических операциях с помощью индивидуальных для конкретных заказчиков фотошаблонов формируется требуемая сеть соединений, определяющая записываемую информацию. Такие ПЗУ оказываются более дешевыми, имеют более простую структуру, высокую надежность.

ПЗУ, изготовленные для программирования пользователем, имеют более сложную структуру, что обусловлено:

- необходимостью введения плавких перемычек в каждый ЗЭ;

- введением дополнительных элементов, через которые выполняется программирование.

Для многих применений очень удобными являются репрограммируемые постоянные ЗУ (*RPRROM*), допускающие выполнение многих циклов перепрограммирования с предшествующим стиранием ненужной информации (число циклов репрограммирования у различных типов РПЗУ колеблется от десятков до десятков тысяч). В ЗЭ таких устройств чаще всего используются МОП-транзисторы с двухслойной структурой диэлектрика или с дополнительными плавающими затворами, позволяющие за счет введения избыточного заряда при программировании изменять пороговое напряжение, при котором отпираются транзисторы. РПЗУ изготавливают также на основе аморфных полупроводников, приборов с зарядовой связью, сегнетоэлектрических МОП-структур. Стоимость РПЗУ высока, поэтому они применяются в первую очередь там, где свойство перепрограммируемости является определяющим.

В перепрограммируемых ПЗУ стирание информации производится:

- электрическим путем, причем в этом случае часто возможно не только общее стирание, разрушающее информацию во всей микросхеме, но и избирательное (байтовое) стирание с последующим выполнением байтовой записи.
- ультрафиолетовым облучением микросхемы в течение нескольких десятков минут, причем информация разрушается полностью во всей микросхеме.

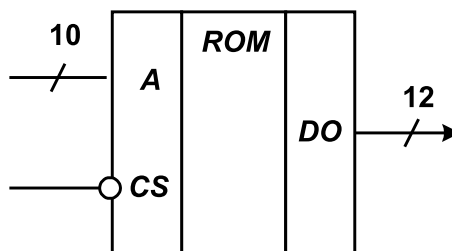
Постоянные ЗУ можно рассматривать как универсальные элементы, позволяющие хранить произвольные записанные в них коды. Имеется целое направление проектирования узлов цифровой техники на базе таких ЗУ.

Еще одной разновидностью ПЗУ являются программируемые логические матрицы (ПЛМ).

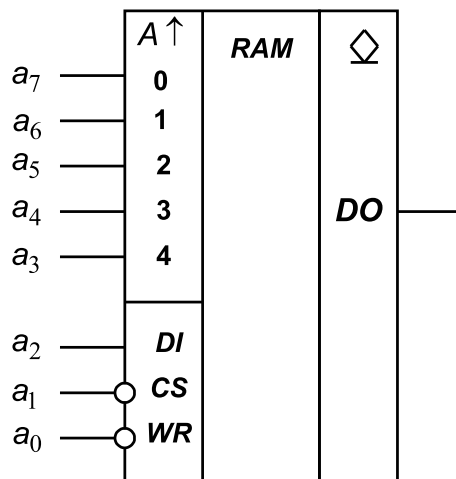


Контрольные вопросы по главе 6

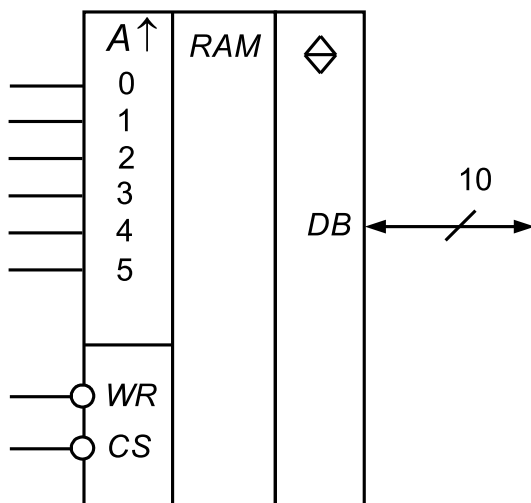
- 1) Определить информационную емкость ПЗУ:



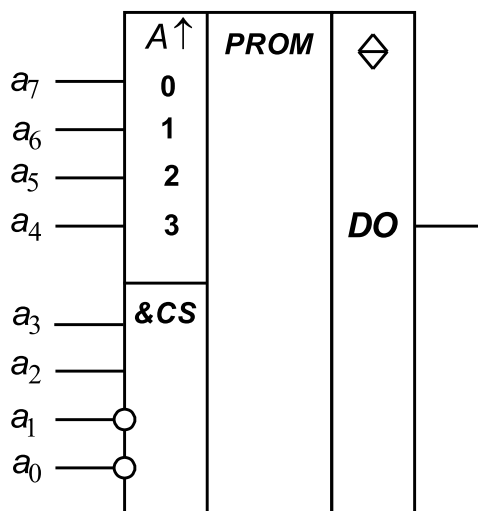
- 2) Определить восьмиразрядное слово $a_7a_6a_5a_4a_3a_2a_1a_0$, которое необходимо подать на входы ОЗУ для записи логической единицы в 16-ю ячейку:



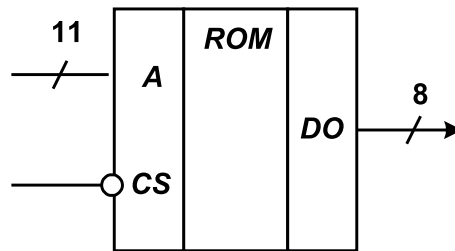
3) Определить емкость ОЗУ:



4) Определить уровни сигналов $a_7a_6a_5a_4a_3a_2a_1a_0$ на входах ПЗУ при считывании информации из 9 ячейки:



5) Определить количество ячеек памяти ПЗУ:



Глава 7

ОСНОВНЫЕ СХЕМОТЕХНИЧЕСКИЕ СТРУКТУРЫ ЦИФРОВОЙ ИНТЕГРАЛЬНОЙ МИКРОЭЛЕКТРОНИКИ

Серии цифровых интегральных микросхем включают в себя широкую номенклатуру схем различной степени сложности. В то же время схемотехническую основу серии составляет схема базового логического элемента, которая реализует какие-либо логические функции и служит элементной базой всех интегральных микросхем серии, определяя их статические и динамические параметры. Как правило, базовые логические элементы выполняют логические операции И-НЕ либо ИЛИ-НЕ, образующие универсальные логические базисы. Разнообразие типов базовых логических элементов объясняется тем, что каждый из них обладает определенными преимуществами по электрическим и эксплуатационным характеристикам и параметрам и ориентирован на свою область применения.



.....
Среди современных потенциальных цифровых интегральных микросхем доминируют три схемно-технологических направления построения интегральных микросхем: транзисторно-транзисторная логика (с диодами Шоттки), эмиттерно-связанная логика, логика на комплементарных МДП-транзисторах (КМОП-логика).
.....

7.1 Базовые логические элементы транзисторно-транзисторной логики

К достоинствам базовых логических элементов ТТЛ относится высокий уровень схемно-технологической проработки, а также хорошие электрические параметры и характеристики:

- сравнительно высокое быстродействие при средней потребляемой мощности или среднее быстродействие при малой потребляемой мощности;
- малая работа переключения;
- высокая абсолютная и относительная помехоустойчивость;
- высокая статическая и динамическая нагрузочная способность.



Выводы

Таким образом, в базовых логических элементах ТТЛ удачно сочетаются высокие схемотехнические, технологические, логические и конструктивные качества.

Базовые логические элементы ТТЛ являются элементной базой для микросхем среднего и высокого быстродействия.

Базовые логические элементы ТТЛ реализуют логическую функцию И-НЕ (являются элементами Шеффера) и содержат каскад на многоэмиттерном транзисторе, выполняющий логическую функцию «И», и транзисторный ключ-инвертор. В зависимости от реализации ключа-инвертора выделяются различные модификации элементов ТТЛ-типа. Модификация, как правило, преследует одну или несколько целей, связанных с улучшением электрических и эксплуатационных характеристик и параметров: увеличение нагрузочной способности, уменьшение задержек распространения сигналов, увеличение порогового напряжения и логического перепада, уменьшение мощности потребления и т. п.

Наилучшими статическими параметрами обладает схема базового логического элемента ТТЛ со сложным инвертором и корректирующей цепочкой, представленная на рис. 7.1.

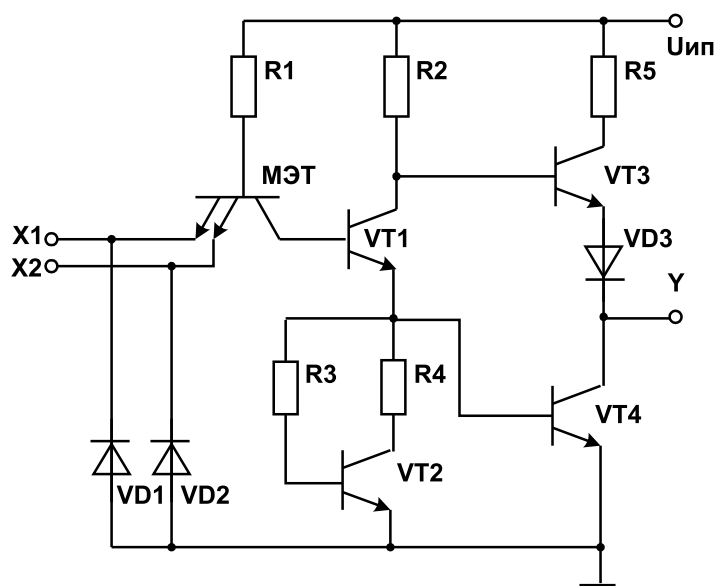


Рис. 7.1 – Схема базового логического элемента ТТЛ

Сложный инвертор состоит из фазораспределяющего каскада ($VT1, R2$), содержащего корректирующую цепочку ($VT2, R3, R4$), и выходного двухтактного усилителя мощности ($VT3, VT4, VD3, R5$). Фазораспределяющий каскад предназначен для противофазного переключения транзисторов $VT3$ и $VT4$, а корректирующая цепочка обеспечивает повышение помехоустойчивости базового логического элемента. Для защиты многоэмиттерного транзистора от помех отрицательной полярности, возникающих в линиях связи, на входах базового логического элемента включены диоды $VD1, VD2$.

Статические параметры

Предположим, что на одном из входов схемы рис. 7.1 напряжение плавно изменяется от уровня логического нуля до уровня логической единицы, а на остальных $k_{об} - 1$ входах поддерживается неизменным, равным уровню логической единицы.

Когда $u_{вх.1} = U^0$, то соответствующий эмиттерный переход МЭТ открыт и потенциал его базы $U'_{б.МЭТ} = U^0 + U^*$, где U^* — падение напряжения на прямосмещенном $p-n$ -переходе.

Ток базы МЭТ определяется выражением:

$$I'_{б.МЭТ} = \frac{E - U'_{б.МЭТ}}{R_1} = \frac{E - U^0 - U^*}{R_1}.$$

Коллекторный переход МЭТ также открыт, поэтому $k_{об} - 1$ эмиттерных переходов МЭТ работают в инверсном активном режиме и через каждый из них втекает входной ток логической единицы:

$$I_{вх}^1 = \beta_I I'_{б.МЭТ} = \beta_I \frac{E - U^0 - U^*}{R_1}. \quad (7.1)$$

Через открытый эмиттерный переход вытекает входной ток логического нуля:

$$\begin{aligned} I_{вх}^0 &= I'_{б.МЭТ} + (k_{об} - 1) I_{вх}^1 = [1 + (k_{об} - 1) \beta_I] I'_{б.МЭТ} = \\ &= [1 + (k_{об} - 1) \beta_I] \frac{E - U^0 - U^*}{R_1}. \end{aligned} \quad (7.2)$$

Потенциал на базе транзистора $VT1$ равен:

$$U_{б.1} = U^0 + U_{ост.МЭТ} < U^*,$$

где $U_{ост.МЭТ}$ — остаточное напряжение на насыщенном МЭТ.

Остаточное напряжение $U_{ост.МЭТ}$ определяется выражением:

$$U_{ост.МЭТ} = m\varphi_T \ln \frac{1 + k_{об}\beta_I}{\beta_I},$$

где φ_T — тепловой потенциал; $m = (1 \div 2)$ — параметр аппроксимации вольт-амперных характеристик транзистора. Транзисторы $VT1, VT2, VT4$ закрыты, транзистор $VT3$ открыт, и на выходе схемы устанавливается напряжение логической единицы:

$$U^1 = E - 2U^* - R_2 I_{б3} = E - 2U^* - \frac{R_2}{\beta_3 + 1} I_{н}^1 \approx E - 2U^*, \quad (7.3)$$

где I_H^1 — выходной ток, отдаваемый в нагрузку выключенным элементом. Когда в качестве нагрузки выступают входы аналогичных базовых логических элементов, ток нагрузки определяется как:

$$I_H^1 = k_{\text{раз}} I_{\text{вх}}^1 = k_{\text{раз}} \beta_I \frac{E - U^0 - U^*}{R_1}, \quad (7.4)$$

следовательно,

$$U^1 = E - 2U^* - \frac{R_2 k_{\text{раз}} \beta_I}{R_1 (\beta_3 + 1)} (E - U^0 - U^*) \approx E - 2U^*. \quad (7.5)$$

При увеличении $u_{\text{вх.1}}$ потенциалы на базах МЭТ и VT1 возрастают в соответствии с выражениями:

$$u_{\text{б.МЭТ}} = u_{\text{вх.1}} + U^*, \quad u_{\text{б.1}} = u_{\text{вх.1}} + U_{\text{ост.МЭТ}}. \quad (7.6)$$

Когда напряжение $u_{\text{вх.1}}$ становится равным пороговому напряжению $U_{\text{пор}}$, потенциал $u_{\text{б.1}} = 2U^*$, транзисторы VT1, VT2 и VT4 открываются, а транзистор VT3 закрывается. Из выражения (7.6) находим:

$$U_{\text{пор}} = 2U^* - U_{\text{ост.МЭТ}}. \quad (7.7)$$

После включения транзистора VT1 потенциал на базе МЭТ устанавливается на уровне $U''_{\text{б.МЭТ}} = u_{\text{б.1}} + u_{\text{бк.МЭТ}} \approx 3U^*$. Ток базы МЭТ определяется выражением:

$$I''_{\text{б.МЭТ}} = \frac{E - U''_{\text{б.МЭТ}}}{R_1} \approx \frac{E - 3U^*}{R_1}.$$

При дальнейшем увеличении $u_{\text{вх.1}}$ все эмиттерные переходы МЭТ оказываются запертыми, МЭТ работает в инверсном активном режиме и через каждый из эмиттерных переходов втекает входной ток логической единицы:

$$I_{\text{вх}}^1 = \beta_I I''_{\text{б.МЭТ}} \approx \beta_I \frac{E - 3U^*}{R_1}. \quad (7.8)$$

Через коллекторный переход МЭТ в базу VT1 течет ток, вызывающий его насыщение:

$$I_{\text{б.1}} = I''_{\text{б.МЭТ}} + k_{\text{об}} I_{\text{вх}}^1 = (1 + k_{\text{об}} \beta_I) I''_{\text{б.МЭТ}} \approx (1 + k_{\text{об}} \beta_I) \frac{E - 3U^*}{R_1}.$$

На выходе схемы устанавливается напряжение логического нуля:

$$U^0 = U_{\text{кз.4,нас}} = m\varphi_T \ln \frac{\beta + k_{\text{нас}}(\beta + 1)}{\beta_I(k_{\text{нас}} - 1)}, \quad (7.9)$$

где $k_{\text{нас}}$ — коэффициент насыщения транзистора VT4.

Помехозащищенность элемента по уровню логического нуля $U_{\text{п}}^0$ и по уровню логической единицы $U_{\text{п}}^1$ определяется выражениями:

$$U_{\text{п}}^0 = U_{\text{пор}} - U^0 = 2U^* - U_{\text{ост.МЭТ}} - U^0, \quad (7.10)$$

$$U_{\Pi}^1 = U^1 - U_{\text{пор}} \approx E - 4U^*. \quad (7.11)$$

Нагрузочная способность элемента определяется коэффициентом разветвления $k_{\text{раз}} = \min(k_{\text{раз}}^1, k_{\text{раз}}^0)$, где $k_{\text{раз}}^1$ — коэффициент разветвления выключенного, а $k_{\text{раз}}^0$ — коэффициент разветвления включенного элемента.

Коэффициент разветвления выключенного элемента можно определить из выражения (7.5):

$$k_{\text{раз}}^1 = \frac{R_1 (\beta + 1) (E - 2U^* - U^1)}{R_2 \beta_I (E - U^0 - U^*)}. \quad (7.12)$$

Выражая допустимый уровень напряжения логической единицы из (7.11) с учетом (7.7), получим:

$$k_{\text{раз}}^1 = \frac{R_1 (\beta + 1) (E - 4U^* + U_{\text{ост.мэт}} - U_{\Pi}^1)}{R_2 \beta_I (E - U^0 - U^*)}. \quad (7.13)$$

Коэффициент разветвления включенного элемента определяется отношением:

$$k_{\text{раз}}^0 = \frac{I_{\Pi}^0}{I_{\text{вх}}^0}, \quad (7.14)$$

где $I_{\text{вх}}^0$ выражается формулой (7.2), а I_{Π}^0 определяется выражением:

$$\begin{aligned} I_{\Pi}^0 &= I_{\text{к.4,нас}} = \frac{\beta}{k_{\text{нас}}} I_{\text{б.4}} = \\ &= \frac{\beta}{k_{\text{нас}}} \left[(1 + k_{\text{об}} \beta_I) \frac{E - 3U^*}{R_1} + \frac{E - U^* - U_{\text{кэ.1,нас}}}{R_2} - \frac{U^* - U_{\text{кэ.2,нас}}}{R_4} \right]. \end{aligned} \quad (7.15)$$

В результате подстановки (7.2) и (7.15) в (7.14) получим:

$$k_{\text{раз}}^0 = \frac{\beta \left[(1 + k_{\text{об}} \beta_I) \frac{E - 3U^*}{R_1} + \frac{E - U^* - U_{\text{кэ.1,нас}}}{R_2} - \frac{U^* - U_{\text{кэ.2,нас}}}{R_4} \right]}{k_{\text{нас}} [1 + (k_{\text{об}} - 1) \beta_I] \frac{(E - U^0 - U^*)}{R_1}}. \quad (7.16)$$

Средняя статическая потребляемая мощность:

$$P_{\text{п.ср}} = \frac{P_{\Pi}^0 + P_{\Pi}^1}{2} = E \frac{I_{\Pi}^0 + I_{\Pi}^1}{2}, \quad (7.17)$$

где I_{Π}^0, I_{Π}^1 — токи и $P_{\Pi}^0 = EI_{\Pi}^0, P_{\Pi}^1 = EI_{\Pi}^1$ — мощности, потребляемые включенным и выключенным элементом соответственно.

Токи, потребляемые логическим элементом, находятся с помощью соотношений:

$$I_{\Pi}^0 = I'_{\text{б.мэт}} + I_{R2} \approx \frac{E - 3U^*}{R_1} + \frac{E - U^* - U_{\text{кэ.1,нас}}}{R_2}, \quad (7.18)$$

$$I_{\Pi}^1 = I''_{\text{б.мэт}} \approx \frac{E - U^* - U^0}{R_1}. \quad (7.19)$$

Подставляя (7.18) и (7.19) в (7.17), получим:

$$P_{\text{п.ср}} = \frac{E}{2} \left(\frac{2E - 4U^* - U^0}{R_1} + \frac{E - U^* - U_{\text{кэ.1,нас}}}{R_2} \right). \quad (7.20)$$

Базовые логические элементы ТТЛ с диодами и транзисторами Шоттки



Основным фактором, ограничивающим быстродействие базовых логических элементов ТТЛ, является наличие интервала рассасывания неосновных носителей заряда в базе на этапе выключения, обусловленного работой включенного транзистора в режиме насыщения.

Эффективный способ устранения или уменьшения насыщения связан с использованием диодов Шоттки, которые включают параллельно коллекторным переходам. В интегральных схемах диод Шоттки вместе с биполярным транзистором составляет единую структуру – транзистор Шоттки (рис. 7.2).

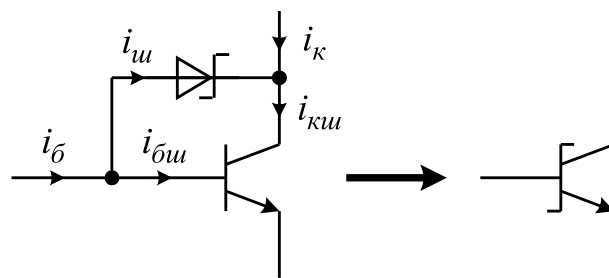


Рис. 7.2 – Транзистор Шоттки

Когда транзистор работает в активном режиме, на коллекторном переходе действует отрицательное напряжение, поэтому диод Шоттки закрыт и не влияет на работу транзистора. При росте тока базы напряжение на коллекторном переходе становится положительным и, когда $u_{бк} = U_{пор.ш}$, диод Шоттки открывается. При этом ток базы транзистора уменьшается ($i_{бш} = i_b - i_{ш}$), а ток коллекторной цепи становится равным $i_{кш} = i_k + i_{ш}$. Так как пороговое напряжение перехода Шоттки меньше порогового напряжения $p-n$ -перехода, можно считать, в транзисторе Шоттки избыточный заряд в базе не накапливается и интервал рассасывания неосновных носителей отсутствует.

Модификация базового логического элемента ТТЛ с транзисторами Шоттки (ТТЛШ) представлена на рис. 7.3.

В усилителе мощности элемента использован составной транзистор ($VT3$, $VT4$), причем транзистор $VT4$ является обычным биполярным транзистором, поскольку на его коллекторном переходе всегда сохраняется обратное смещение.

Повышение быстродействия базовых логических элементов ТТЛШ обусловлено не только устранением интервала рассасывания неосновных носителей заряда в базе транзисторов, но и сокращением длительностей стадий спада и нарастания выходного потенциала. Это объясняется тем, что транзисторы Шоттки не легированы золотом и имеют в 2–3 раза большие значения коэффициента передачи тока базы, чем обычные транзисторы в микросхемах ТТЛ, легируемые золотом.

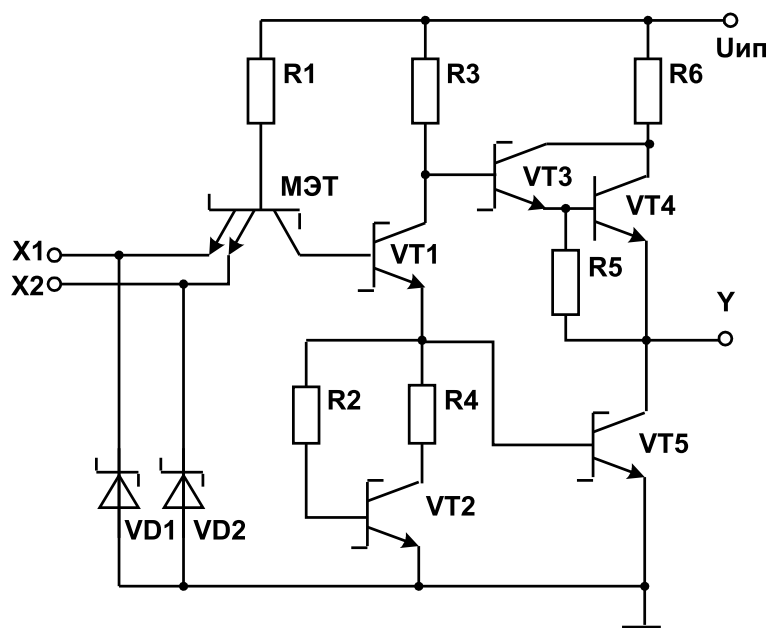


Рис. 7.3 – Схема базового логического элемента ТТЛШ

Недостатком базовых логических элементов ТТЛШ является их уменьшенная по сравнению с элементами ТТЛ помехоустойчивость. Падение напряжения на открытом диоде Шоттки обычно составляет $U_{ш}^* \approx 0.5U^*$, поэтому:

$$U_{ТТЛШ}^0 = U_{ост.ш} = U^* - U_{ш}^* > U_{ТТЛ}^0, \quad (7.21)$$

$$U_{пор,ТТЛШ} = 2U^* - U_{ост.ш} = U^* + U_{ш}^* < U_{пор,ТТЛ}, \quad (7.22)$$

$$U_{п,ТТЛШ}^0 = U_{пор,ТТЛШ} - U_{ТТЛШ}^0 = 2U_{ш}^* < U_{п,ТТЛ}^0. \quad (7.23)$$

Применение в качестве защитных диодов не диодов на основе $p-n$ -перехов, а диодов Шоттки, обладающих более низким прямым падением напряжения, дает лучшую защиту против помех.

Существенное увеличение быстродействия и снижение работы переключения, несмотря на пониженную помехоустойчивость, делает базовые логические элементы ТТЛШ наиболее перспективной элементной базой для цифровых микросхем высокого быстродействия с различной степенью интеграции, в том числе БИС. В то же время технология изготовления элементов ТТЛШ, использующая специальные процессы для изготовления высококачественных контактов металл-полупроводник с барьером Шоттки, является более сложной и, следовательно, более дорогостоящей.

7.2 Базовые логические элементы на комплементарных МДП-транзисторах

Элементной базой наиболее перспективных потенциальных интегральных МДП-микросхем являются базовые логические элементы на транзисторах с индуциро-

ванными каналами дополняющих типов проводимости (базовые логические элементы КМОП). Их характеризуют:

- малое потребление мощности в статических режимах;
- высокое быстродействие;
- повышенная помехоустойчивость.

Базовый логический элемент КМОП в основном потребляет динамическую мощность, которая идет на зарядку паразитных емкостей и возрастает с увеличением частоты переключения.

Базовый логический элемент реализует логическую функцию НЕ. Схема базового логического элемента КМОП представлена на рис. 7.4.

Транзистор n -типа ($VT2$) является управляющим, а транзистор p -типа ($VT1$) — нагрузочным. Подложки транзисторов соединены с истоками, что позволяет избежать отпирающие p - n -переходов «исток-подложка». Защитная цепочка на входе элемента состоит из сопротивления R и охранных диодов $VD1$ – $VD3$, которые ограничивают входное напряжение на уровнях $U_{вх,маx} = U_{ипп} + U^*$ и $U_{вх,миn} = -U^*$. Источник питания не должен иметь разнополярных выбросов напряжения питания, превышающих предельные для интегральных микросхем на МДП-транзисторах значения $U_{ипп,миn} = -0,5$ В и $U_{ипп,маx} = 15$ В. При $U_{ипп} < U_{ипп,миn}$ возникает перегрузка диодов прямым током, а при $U_{ипп} > U_{ипп,маx}$ возможен пробой оксида.

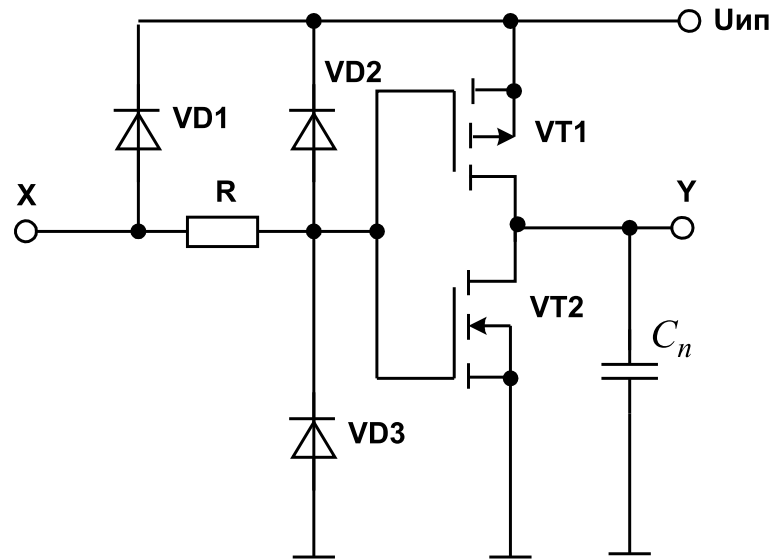


Рис. 7.4 – Схема базового логического элемента КМОП

Когда напряжение на входе равно нулю, управляющий транзистор выключен, так как $U_{зи,n} = 0 < U_{пор,n}$, где $U_{пор,n}$ — пороговое напряжение транзистора n -типа. Для нагрузочного транзистора: $U_{зи,p} = -U_{ипп}$.

Если $U_{ипп} > |U_{пор,p}|$, где $U_{пор,p}$ — пороговое напряжение транзистора p -типа, то нагрузочный транзистор оказывается открытым. При этом напряжение на выходе близко к величине напряжения питания: $U^B \approx U_{ипп}$.

С увеличением напряжения на затворе сопротивление канала нагрузочного транзистора увеличивается и он закрывается. В зависимости от величины напряже-

ния питания возможны различные режимы работы базового логического элемента КМОП.

Если $U_{\text{вп}} < U_{\text{пор.н}} + |U_{\text{пор.р}}|$, то с ростом напряжения на затворе нагрузочный транзистор закрывается раньше, чем открывается управляющий транзистор, и в некотором диапазоне изменения входного напряжения напряжение на выходе будет зависеть от соотношения остаточных токов в стоковых цепях транзисторов.

Если $U_{\text{вп}} > U_{\text{пор.н}} + |U_{\text{пор.р}}|$, то с ростом входного напряжения вначале открывается управляющий транзистор, и оба транзистора в некотором диапазоне изменения входного напряжения оказываются открытыми, а затем закрывается нагрузочный транзистор. После запираания нагрузочного транзистора и отпираания управляющего напряжение на выходе схемы оказывается близким к нулю: $U^{\text{н}} \approx 0$ В.

В режиме, когда $U_{\text{вп}} < U_{\text{пор.н}} + |U_{\text{пор.р}}|$, при переключении один из транзисторов всегда оказывается закрытым и препятствует протеканию большого сквозного тока.

Передаточные характеристики, соответствующие двум режимам работы базового логического элемента КМОП, приведены на рис. 7.5, из которого следует, что характеристика, соответствующая условию $U_{\text{вп}} > U_{\text{пор.н}} + |U_{\text{пор.р}}|$, обеспечивает лучшие значения статических параметров, поэтому условие $U_{\text{вп}} > U_{\text{пор.н}} + |U_{\text{пор.р}}|$ является условием нормальной работы элемента.

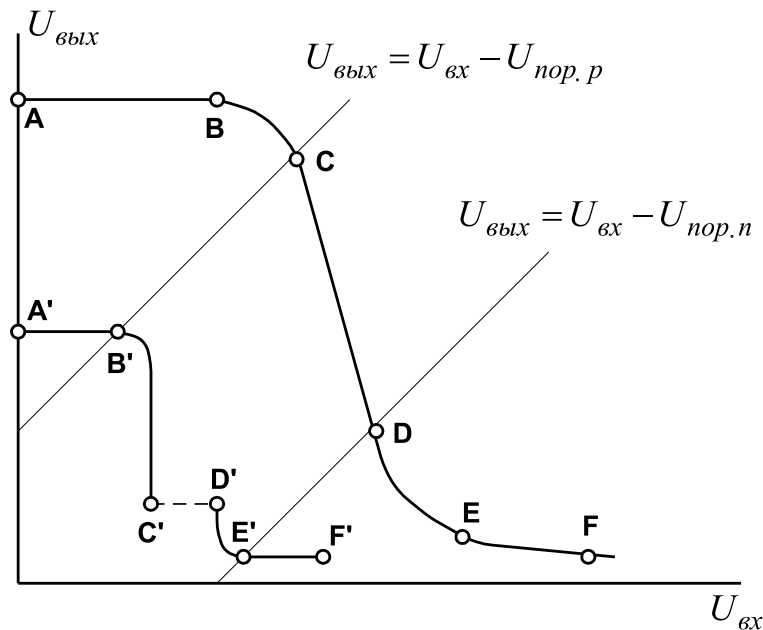


Рис. 7.5 – Передаточные характеристики базового логического элемента КМОП

Статические характеристики и параметры

Передаточная характеристика (рис. 7.5) имеет 5 участков:

- на участке AB управляющий транзистор находится в режиме отсечки, а нагрузочный работает в крутой области характеристик;
- на участке BC управляющий транзистор работает в пологой, а нагрузочный — в крутой области характеристик;

- на участке CD и управляющий, и нагрузочный транзисторы работают в пологой области характеристик;
- на участке DE управляющий транзистор работает в крутой, а нагрузочный — в пологой области характеристик;
- на участке EF управляющий транзистор работает в крутой области характеристик, а нагрузочный транзистор находится в режиме отсечки.

Для транзисторов на участке CD передаточной характеристики токи стоков определяются выражениями:

$$I_{Cn} = \frac{k_n}{2} [U_{зи,n} - U_{пор,n}]^2 = \frac{k_n}{2} [U_{вх} - U_{пор,n}]^2, \quad (7.24)$$

$$I_{Cp} = \frac{k_p}{2} [U_{зи,p} - U_{пор,p}]^2 = \frac{k_p}{2} [U_{вх} - U_{инп} - U_{пор,p}]^2. \quad (7.25)$$

Учитывая, что $I_{Cn} = I_{Cp}$, из (7.24) и (7.25) определяется пороговое напряжение базового логического элемента КМОП:

$$U_{пор} = \frac{U_{пор,n} \sqrt{k_n} + \sqrt{k_p} (U_{инп} - U_{пор,p})}{\sqrt{k_n} + \sqrt{k_p}}. \quad (7.26)$$

Оптимальная форма передаточной характеристики достигается при одинаковых параметрах транзисторов ($k_n = k_p$, $U_{пор,n} = |U_{пор,p}|$), тогда пороговое напряжение $U_{пор} = U_{инп}/2$, логический перепад $\Delta U \approx U_{инп}$, помехозащищенность $U_{п}^0 \approx U_{п}^1 \approx U_{инп}/2$, а помехоустойчивость максимальна и близка к величине $U_{п}^0/\Delta U \approx U_{п}^1/\Delta U \approx 1/2$. Столь высокие значения не достигаются в базовых логических элементах других типов. Это обусловлено минимальным значением $U^0 \approx 0$, максимальным значением $U^1 \approx U_{инп}$ и симметричной передаточной характеристикой, которая, кроме того, практически не зависит от температуры.

Мощность, потребляемая базовым логическим элементом КМОП в статическом режиме, связана с протеканием остаточных токов и токов утечки в стоковых цепях транзисторов:

$$P_{п}^0 = U_{инп} I_{п}^0 \approx U_{инп} \left(I_{0p} + \frac{U_{инп}}{R_{ут,p}} \right), \quad (7.27)$$

$$P_{п}^1 = U_{инп} I_{п}^1 \approx U_{инп} \left(I_{0n} + \frac{U_{инп}}{R_{ут,n}} \right), \quad (7.28)$$

где I_{0p} , I_{0n} — остаточные токи в стоковых цепях транзисторов p - и n -типа соответственно; $R_{ут,p}$, $R_{ут,n}$ — сопротивления утечки между стоком и истоком транзисторов p - и n - типа соответственно. Средняя статическая мощность потребления:

$$P_{п,ср} = \frac{P_{п}^1 + P_{п}^0}{2} \approx \frac{U_{инп}}{2} \left(I_{0p} + I_{0n} + \frac{U_{инп}}{R_{ут,p}} + \frac{U_{инп}}{R_{ут,n}} \right). \quad (7.29)$$

Основные логические элементы на комплементарных МДП-транзисторах

Основные логические элементы КМОП реализуют логические функции И-НЕ, ИЛИ-НЕ.

Выполнение логической операции И-НЕ достигается последовательным, а операции ИЛИ-НЕ — параллельным включением $k_{об}$ управляющих транзисторов. При этом на каждый вход требуется два транзистора, образующих ключевой элемент-инвертор. В схеме И-НЕ нагрузочные транзисторы включаются параллельно, а в схеме ИЛИ-НЕ — последовательно друг другу. Схемы основных логических элементов И-НЕ и ИЛИ-НЕ с $k_{об} = 2$ представлены на рис. 7.6, а и рис. 7.6, б соответственно.

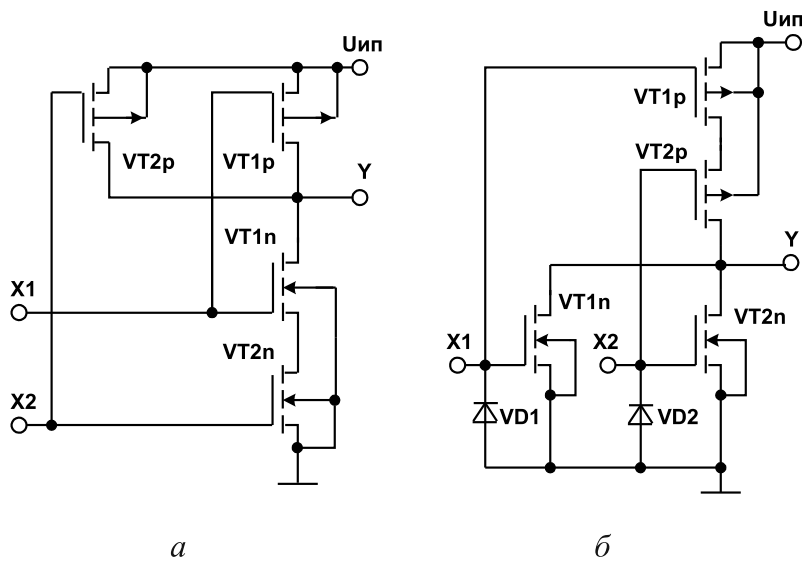


Рис. 7.6 – Схемы основных логических элементов КМОП: а — элемента И-НЕ; б — элемента ИЛИ-НЕ



.....
 Расчет статических и динамических параметров основных элементов КМОП основан на предварительном сведении схемы к эквивалентному базовому логическому элементу-инвертору и последующем использовании соответствующих базовому логическому элементу соотношений.

Для этого группы транзисторов, находящихся в проводящем состоянии, заменяют одним эквивалентным транзистором, удельная крутизна которого для последовательно включенных транзисторов определяется выражением:

$$\frac{1}{k_{эКВ}} = \sum_{i=1}^m \frac{1}{k_i}, \quad (7.30)$$

а для параллельно включенных транзисторов — выражением:

$$k_{эКВ} = \sum_{i=1}^m k_i, \quad (7.31)$$

где m — число проводящих транзисторов.

7.3 Базовый логический элемент истоко-связанной логики на полевых транзисторах с управляющим переходом Шоттки (ПТШ-Ga-As)

Базовый логический элемент содержит входные (F_1 и F_2) и выходной (F_3) формирователи сигналов, а также логическую часть (рис. 7.7).

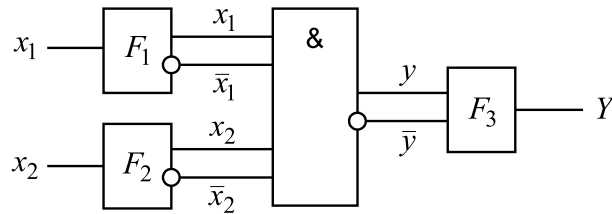


Рис. 7.7 – Структурная схема базового логического элемента ПТШ-Ga-As

Логическая часть элемента представлена на рис. 7.8.

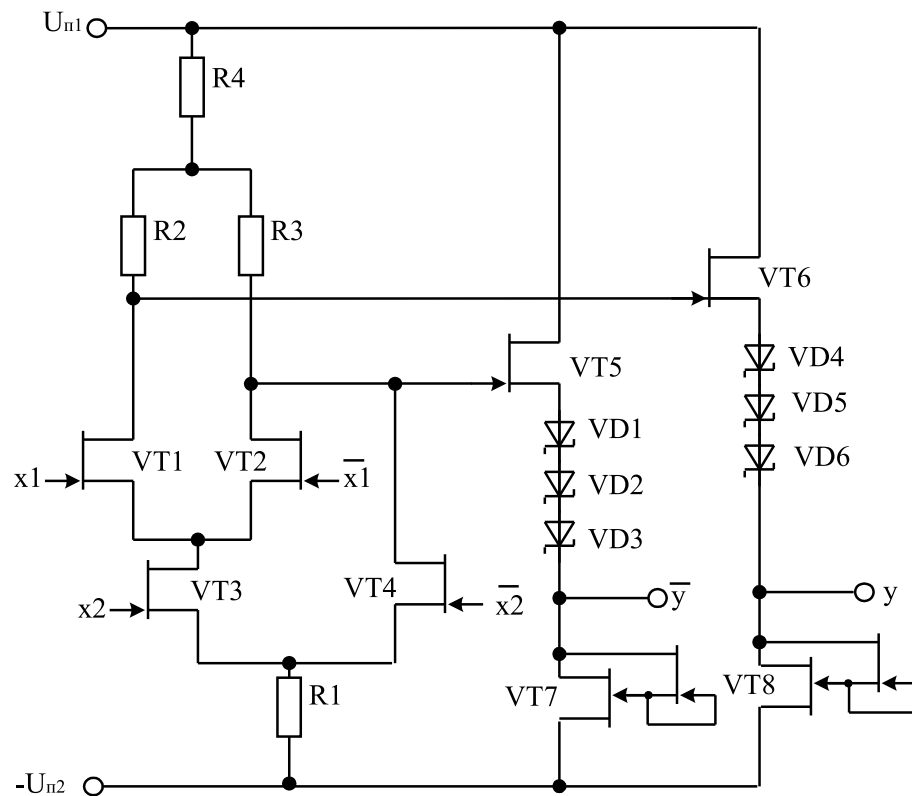


Рис. 7.8 – Схема логической части базового логического элемента ПТШ-Ga-As

Она построена по схеме переключателя тока на основе дифференциальных пар транзисторов VT_1 , VT_2 и VT_3 , VT_4 , резистора R_1 , определяющего величину тока истока, нагрузочных резисторов R_2 , R_3 и резистора смещения R_4 для согласования по уровням напряжения выходов истокового переключателя тока и выходных истоковых повторителей на транзисторах VT_5 , VT_6 .

Диоды Шоттки $VD1 - VD6$ и транзисторы $VT7, VT8$ в цепях транзисторов истоковых повторителей необходимы для согласования со входом формирователя F_3 и стабилизации выходных напряжений. Питание элемента осуществляется от двух источников $U_{ин1} = 4 \text{ В} \pm 5\%$ и $U_{ин2} = -2.45 \text{ В} \pm 3\%$.

Формирователи F_1 и F_2 предназначены для согласования внешних цепей, напряжения сигналов в которых лежат в диапазоне от 0 до 1 вольта, с логической частью, сигналы x_1 и x_2 в которой имеют уровни 0.5 В, а сигналы \bar{x}_1 и \bar{x}_2 — уровни (-0.5 В).

Для базового логического элемента ПТШ-Ga-As характерны следующие особенности:

- сверхвысокое быстродействие (способность работать при частоте переключения 1 ГГц и выше);
- значительная потребляемая мощность (от 0.5 до 1.7 Вт), которая не зависит от частоты переключения;
- способность выдерживать значительные уровни напряжения статического электричества (до 50 В) благодаря встроенным цепям защиты.



Контрольные вопросы по главе 7

- 1) Определить напряжение логической единицы базового логического элемента ТТЛ с корректирующей цепочкой, если напряжение питания составляет $5 \text{ В} \pm 10\%$, а падение напряжения на прямосмещенном $p-n$ -переходе составляет 0.7 В.
- 2) Определить пороговое напряжение двухвходового базового логического элемента ТТЛ с корректирующей цепочкой при температуре $T = 323 \text{ К}$, если падение напряжения на прямосмещенном $p-n$ -переходе составляет 0.7 В, параметр аппроксимации вольт-амперных характеристик транзистора $m = 1$, а инверсный коэффициент передачи тока базы $\beta_I = 0.05$.
- 3) Определить помехозащищенность базового логического элемента ТТЛ с корректирующей цепочкой по уровню логической единицы, если напряжение питания составляет 5 В, а падение напряжения на прямосмещенном $p-n$ -переходе составляет 0.7 В.
- 4) Определить пороговое напряжение двухвходового базового логического элемента ТТЛШ с корректирующей цепочкой, если падение напряжения на прямосмещенном $p-n$ -переходе составляет 0.7 В.
- 5) Определить пороговое напряжение двухвходового логического элемента И-НЕ КМОП, считая все МДП-транзисторы идентичными. Напряжение питания составляет 15 В, а пороговое напряжение транзисторов принять равным 1.5 В.

Глава 8

ОСНОВНЫЕ СХЕМОТЕХНИЧЕСКИЕ СТРУКТУРЫ АНАЛОГОВОЙ ИНТЕГРАЛЬНОЙ МИКРОЭЛЕКТРОНИКИ

8.1 Функциональные узлы аналоговых интегральных микросхем

Источники постоянного тока. Источники тока на основе активных элементов образуют важный класс функциональных узлов ИМС.



.....
Создать идеальный источник тока невозможно, но существуют способы, позволяющие получить очень близкую аппроксимацию идеального источника.
.....

В этом случае, например, широко используется тот факт, что для транзистора в активном режиме ток коллектора относительно независим от напряжения на коллекторе.



Выводы

.....
Таким образом, биполярный транзистор можно использовать в качестве управляемого источника тока, однако зависимость его коэффициента усиления от ряда факторов (таких, как температура, рабочие ток эмиттера и коллекторное напряжение, технологический разброс параметров) исключает возможность его применения для таких целей при жёстких требованиях к допустимым изменениям.
.....

Наличие согласованных по характеристикам пар транзисторов, изготавливаемых по одной технологии, позволяет создавать схемы с небольшими, но чрезвычайно стабильными коэффициентами усиления.

На рис. 8.1 показана одна из наиболее распространённых схем такого типа.

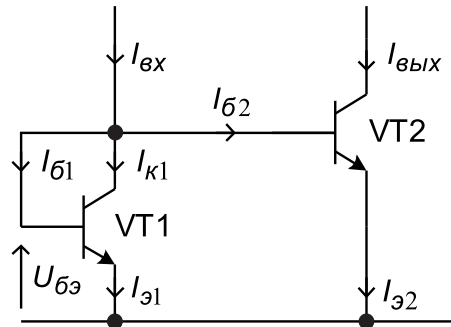


Рис. 8.1 – Интегральный источник тока, управляемый током (токовое зеркало)

Поскольку транзисторы идентичны, оба они находятся в активной области с одинаковыми напряжениями между базой и эмиттером то коллекторные токи обоих транзисторов приблизительно равны: $I_{к1} = I_{к2}$.

Так как $I_{вх} = I_{к1} + I_{б1} + I_{б2} = I_{к1} + \frac{2I_{к1}}{\beta} = I_{к1} \left(1 + \frac{2}{\beta}\right)$, имеем $I_{вых} = I_{к1} = \frac{I_{вх}}{1 + \frac{2}{\beta}}$,

или $\frac{I_{вых}}{I_{вх}} = \frac{\beta}{\beta + 2}$. Усиление по току β для транзисторов ИМС много больше единицы, поэтому можно утверждать, что $I_{вых} \approx I_{к1} \approx I_{вх}$, а это значит, что отношение выходного тока $I_{вых}$ к входному току $I_{вх}$, то есть коэффициент усиления по току, приблизительно равен единице.



.....
 Источник постоянного тока с единичным коэффициентом усиления иногда называют **токовым зеркалом**, так как ток, текущий через левую часть схемы, является по существу зеркальным отражением тока в правой части.

Схема токового зеркала служит основой большинства схем источников тока, а также большинства схем активной нагрузки дифференциального усилителя.

Недостатки этой схемы состоят в том, что общий коэффициент усиления по току сохраняет некоторую зависимость от коэффициентов усиления отдельных транзисторов, а выходное сопротивление относительно невелико. Эти недостатки частично можно скомпенсировать путём введения третьего транзистора, как показано на рис. 8.2. Для правильной работы этой схемы все три транзистора должны находиться в активной области. Поскольку падение напряжения на VT2 равно $U_{бэ}$, то есть приблизительно 0.6 В, и напряжение, необходимое для того, чтобы предотвратить насыщение транзистора VT3, составляет примерно 0.2 В, на транзисторах VT2 и VT3 суммарное напряжение будет приблизительно 0.8 В.

Можно показать, что если транзисторы имеют одинаковую геометрию и температуру, то общий коэффициент усиления по току определяется выражением:

$$\frac{I_{\text{ВЫХ}}}{I_{\text{ВХ}}} = 1 - \frac{2}{(\beta^2 + 2\beta + 2)} \approx 1. \quad (8.1)$$

Как видно из приведённого выражения, общий коэффициент усиления по току в меньшей степени зависит от коэффициентов усиления транзисторов, чем в схеме рис. 8.1.

Наличие обратной связи способствует увеличению выходного сопротивления.



.....
Схему рис. 8.2 ещё называют *токовым зеркалом Уилсона*.
.....

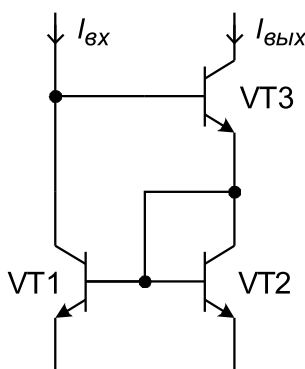


Рис. 8.2 – Интегральный источник тока с большим выходным сопротивлением (токовое зеркало Уилсона)

Схемы управляемых источников тока, показанные на рис. 8.1 и рис. 8.2, хорошо зарекомендовали себя при использовании в составе источников постоянного тока, способных поддерживать постоянное значение выходного тока в широком диапазоне температур и, кроме того, обеспечивать высокие значения выходного сопротивления для дифференциальной составляющей даже при малых падениях постоянного напряжения. Такие источники обычно используются в дифференциальных усилителях, в цепях смещения и задания режима, а также в каскадах с высоким коэффициентом усиления.

Простейший и поэтому наиболее распространённый способ реализации такого источника – включение резистора R_1 в схемы рис. 8.1, рис. 8.2, как это показано на рис. 8.3, и использование возникающего при этом постоянного тока для управления источником тока. Если коэффициент тока очень близок к единице, соединение, выполненное по схеме рис. 8.3, *а*, обеспечит выходной ток:

$$I_{\text{ВЫХ}} = \frac{(U_{\text{ин}} - U_{\text{бэ}})}{R_1} \left(1 - \frac{2}{\beta + 2}\right), \quad (8.2)$$

а выходной ток схемы рис. 8.3, *б* запишется

$$I_{\text{ВЫХ}} = \frac{(U_{\text{ин}} - 2U_{\text{бэ}})}{R_1} \left(1 - \frac{2}{\beta^2 + 2\beta + 2}\right), \quad (8.3)$$

Пока напряжение питания существенно превышает напряжение база-эмиттер, температурная стабильность выходного тока сохраняется весьма высокой, поскольку единственным фактором, определяющим зависимость тока от температуры, в этом случае является температурный коэффициент сопротивления резистора R_1 .

Если требуется получить большую или меньшую величину тока источника, то для больших уровней тока значение сопротивления резистора R_1 следует уменьшать, а для меньших уровней тока — увеличивать. В первом случае увеличение тока, протекающего через резистор R_1 , вызывает повышенную мощность рассеяния, а во втором — увеличение сопротивления R_1 требует увеличения площади, занимаемой им на кристалле.

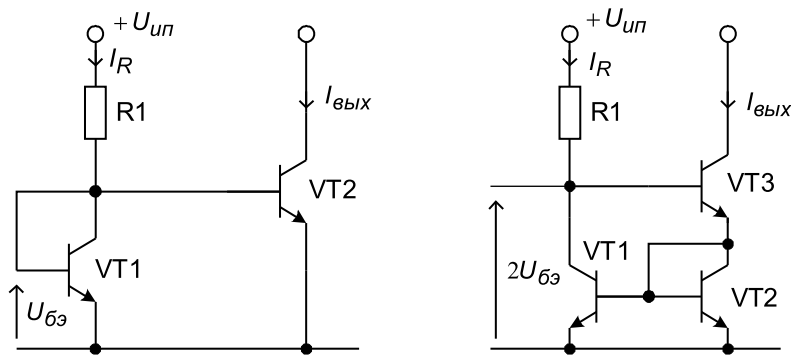


Рис. 8.3 – Интегральные источники постоянного тока: *а* — на основе простейшего токового зеркала; *б* — на основе токового зеркала Уилсона

В рассматриваемых схемах источников тока для уровня выходного тока 1 мА требуется сопротивление $R_1 = 14.3$ кОм (при $U_{\text{ип}} = 15$ В), что допустимо. Для многих ИМС требуются токи порядка микроампер или меньше. Если, например, требуется, чтобы источник давал ток $I_{\text{вых}} = 1$ мкА, нужно, чтобы ток I_R был равен 1 мкА. Если $U_{\text{ип}} = 15$ В, то $R_1 = \frac{U_{\text{ип}} - U_{\text{бэ}}}{I_R} = \frac{1.0 - 0.7}{10^{-6}} = 14.3$ МОм, что недопустимо.

Для реализации уровней тока в мкА диапазоне используется схема, показанная на рис. 8.4.

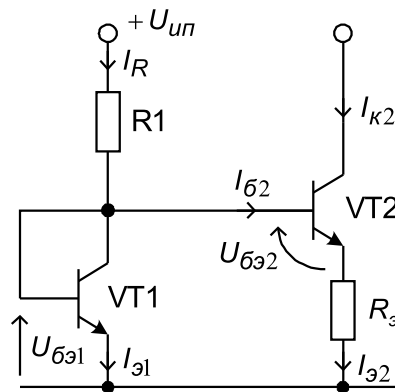
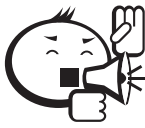


Рис. 8.4 – Интегральный источник малого тока



.....
 Основные схемы источников постоянного тока (рис. 8.3 и рис. 8.4) являются стандартными функциональными узлами, которые можно использовать во всех аналоговых ИМС.

Несмотря на два незначительных недостатка (относительно большая потребляемая мощность и зависимость выходного тока от напряжения питания), принципиально присущих этим схемам, каждая из них способна обеспечить высокие качественные показатели.

Существует много схем источников тока на МОП-транзисторах, похожих на схемы источников на биполярных транзисторах. Простой пример — схема на рис. 8.5, а, использующая токовое зеркало на МОП-транзисторе.

Другой пример источника тока на МОП-транзисторах — составной источник тока, показанный на рис. 8.5, б.

Это по существу схема (рис. 8.3, б), в которой биполярные транзисторы заменены МОП-транзисторами. Главное преимущество этого источника по сравнению с предыдущей более простой схемой заключается в существенно более низкой динамической выходной проводимости и, следовательно, в значительно более качественной стабилизации тока. Это, однако, происходит за счёт некоторого уменьшения диапазона линейного изменения напряжения.

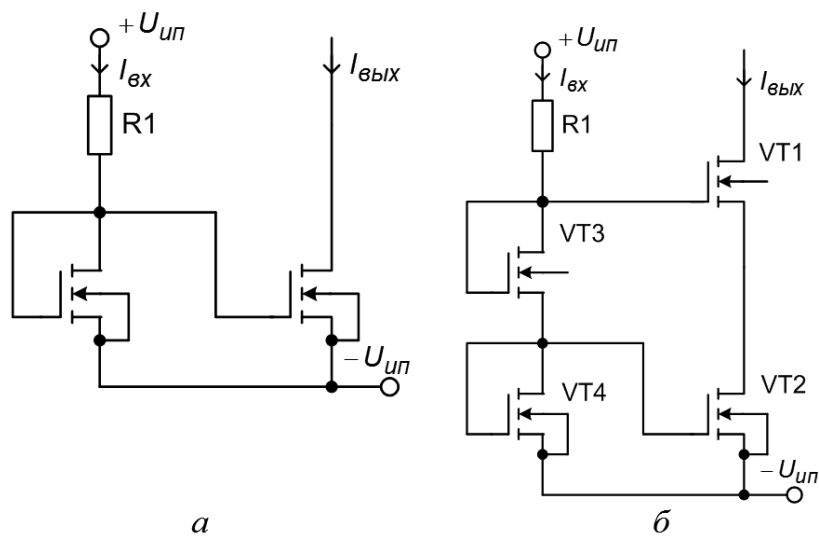


Рис. 8.5 – Источники тока на МОП-транзисторах: а — токовое зеркало; б — токовое зеркало Уилсона

Источники постоянного напряжения. Существуют два основных способа реализации источников напряжения, которые позволяют создавать схемы, близко аппроксимирующие характеристики идеальных источников постоянного напряжения.



.....
 Один способ базируется на использовании свойства транзистора преобразовывать импеданс, что, в свою очередь, связано со свойством усиления транзистора по току. Другой способ базируется на свойствах усилителя с отрицательной обратной связью.

Источник напряжения с преобразованием импеданса транзистора представлен на рис. 8.6.

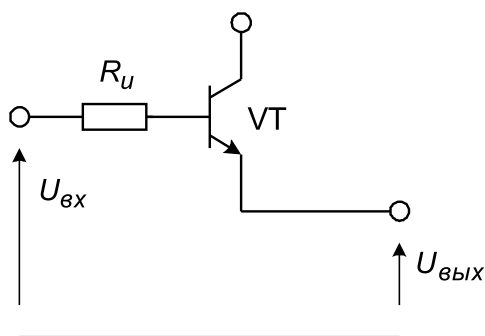


Рис. 8.6 – Источник напряжения с преобразованием импеданса транзистора

Использование усилителя с отрицательной обратной связью (рис. 8.7) позволяет получить очень низкий импеданс на выходе и тем самым обеспечить хорошую стабильность по нагрузке источника напряжения.

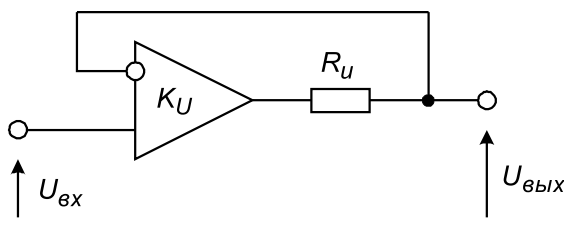


Рис. 8.7 – Источник постоянного напряжения с низким импедансом на выходе

В этой схеме k_U — коэффициент усиления усилителя без обратной связи, R_U — выходной импеданс усилителя без обратной связи. Выходное напряжение схемы (рис. 8.7) определяется выражением $U_{\text{вых}} = \frac{U_{\text{вх}} k_U}{k_U + 1} - \frac{I_{\text{вых}} R_U}{k_U + 1}$, где $\frac{R_U}{k_U + 1}$ — выходное сопротивление схемы при наличии обратной связи.

Обычно $k_U \gg 1$, и, следовательно, выходное сопротивление при наличии обратной связи много меньше, чем при её отсутствии.

Источник напряжения должен иметь очень низкий динамический выходной импеданс, чтобы выходное напряжение очень мало изменялось при изменении выходного тока. Кроме того, необходимо, чтобы у источников или стабилизаторов напряжения выходное напряжение как можно меньше зависело от напряжения питания. На рис. 8.8 приведён простой пример схемы, обладающий такими свойствами.

В схеме (рис. 8.8) стабилитрон смещён источником тока I_0 . Изменение напряжения питания $dU_{\text{ип}}$ вызовет небольшое изменение тока $dI_0 = g_0 dU_{\text{ип}}$, где g_0 — динамическая выходная проводимость источника тока.

Это приведёт к изменению тока через стабилитрон $dI_{\text{ст}} = dI_0$, что, в свою очередь, изменит падение напряжения на стабилизаторе на $dU_{\text{ст}} = R_{\text{диф}} dI_{\text{ст}} = R_{\text{диф}} dI_0 = g_0 R_{\text{диф}} dU_{\text{ип}}$, где $R_{\text{диф}}$ — дифференциальное сопротивление стабилитрона ($R_{\text{диф}} \approx 2 \div 50 \text{ Ом}$).

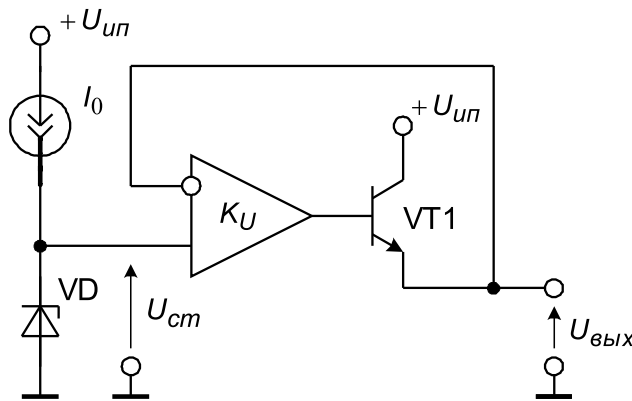


Рис. 8.8 – Источник напряжения с подачей смещения через источник тока для ослабления влияния напряжения питания

Отношение изменения напряжения $U_{\text{вых}}$ к изменению напряжения питания $U_{\text{ип}}$:

$$\frac{dU_{\text{вых}}}{dU_{\text{ип}}} = \frac{dU_{\text{ст}}}{dU_{\text{ип}}} = g_0 R_{\text{диф}}. \quad (8.4)$$

Для примера, если $R_{\text{диф}} = 10 \text{ Ом}$, $g_0 = 100 \text{ нСм}$, то $dU_{\text{вых}}/dU_{\text{ип}} = 10^{-6}$, а это значит, что изменение напряжения питания на 1,0 В изменяет выходное напряжение всего лишь на 1 мкВ.

На рис. 8.9 показан источник напряжения, в котором падение напряжения между базой и эмиттером использовано как опорное.

Во многих случаях схему источника опорного напряжения используют для подачи напряжения на источник напряжения. Эту комбинацию схем называют *стабилизатором напряжения*. Стабилизатор напряжения сочетает низкий температурный коэффициент выходного напряжения ($\text{ТКН}_{U_{\text{вых}}} = dU_{\text{вых}}/dT$), низкий выходной импеданс (то есть хорошую стабильность по нагрузке) и хорошую линейную стабилизацию.

Поскольку все электронные компоненты, используемые в схемах опорного напряжения, имеют некоторый ТКН, основные компоненты подбирают так, чтобы имели место компенсирующие эффекты, приводящие, по крайней мере, к $\text{ТКН} = 0$ при данной температуре.

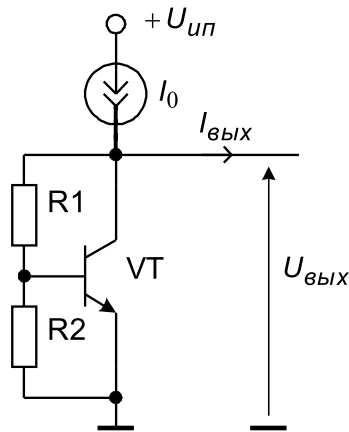


Рис. 8.9 – Источник напряжения с использованием падения напряжения между базой и эмиттером как опорное напряжение

Схема источника опорного напряжения, определяемого шириной запрещённой зоны, представлена на рис. 8.10.

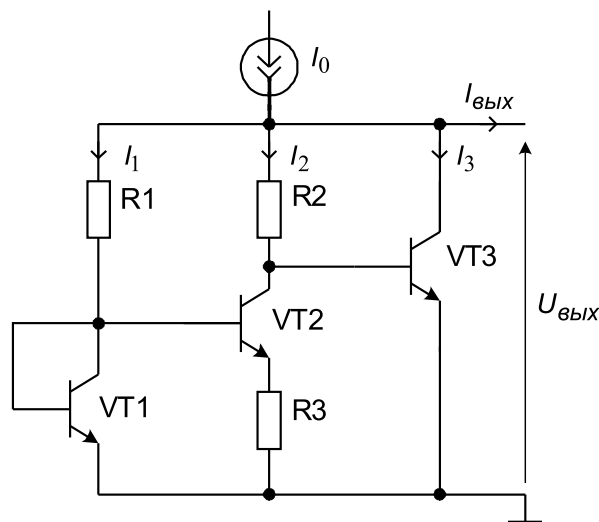


Рис. 8.10 – Источник опорного напряжения, определяемого шириной запрещённой зоны полупроводника

Дифференциальные усилители. Интегральная линейная схмотехника основана на различных вариантах дифференциальных усилителей (ДУ). Широкое применение в ИМС дифференциальных каскадов объясняется тем, что дифференциальные каскады обладают целым рядом преимуществ, которые делают их практически незаменимыми функциональными узлами аналоговых ИМС.

Как известно, дифференциальные каскады представляют собой схемы с высоким коэффициентом подавления синфазного сигнала. Так как в схеме дифференциального каскада увеличение глубины обратной связи (для подавления синфазных помех) практически не сказывается на значении коэффициента усиления полезного сигнала, то в такой схеме можно обеспечить высокую стабильность режима по постоянному току. Это особенно важно для аналоговых ИМС, представляю-

щих собой каскады с непосредственными связями. В таких ИМС нестабильность является основной причиной дрейфа выходного напряжения или тока.

В дифференциальном каскаде сравнительно просто можно осуществить сдвиг уровня выходного потенциала, что также облегчает решение проблемы каскадирования при непосредственных связях. Не менее важным преимуществом дифференциальных каскадов является наличие двух входов и двух выходов, позволяющих строить инвертирующие и неинвертирующие усилители, сравнительно просто согласовывать цепи обратных связей, используя для этого соответствующие входы и выходы.

Преимущества дифференциальных каскадов особенно сильно проявляется в ИМС, так как изготовление пары транзисторов на одной подложке в непосредственной близости друг от друга при помощи одного и того же цикла технологических операций позволяет формировать транзисторные структуры с идентичными параметрами, а, как известно, при этом условии дифференциальные каскады обладают почти идеальными характеристиками.

Дифференциальные усилители могут строиться на биполярных и полевых транзисторах по простым или усложнённым схемам.

На рис. 8.11, а представлена схема дифференциального усилителя на биполярных транзисторах. Выходом дифференциального каскада являются коллекторы транзисторов $VT1$, $VT2$. Схема относительно выхода симметрична. При этом для всех элементов (симметричных относительно выхода) дрейф будет полностью компенсирован, если элементы абсолютно одинаковы и с одинаковым дрейфом. По этой же причине одинаковое изменение входных сигналов при одинаковой их полярности не будет приводить к изменениям выходного сигнала. Монолитный вариант схемы рис. 8.11, а) является базой для многочисленных разработок усилительных ИМС с дифференциальными выходами.

ДУ управляется разностью напряжений, которая приложена между его входами. Напряжение, определяемое формулой $U_{\text{диф}} = U_{\text{вх.1}} - U_{\text{вх.2}}$, называется *дифференциальным выходным напряжением*. *Синфазное входное напряжение* определяется как среднеарифметическое двух входных напряжений, то есть:

$$U_{\text{сн}} = \frac{U_{\text{вх.1}} + U_{\text{вх.2}}}{2}. \quad (8.5)$$

Важным свойством дифференциального усилителя является его способность подавлять синфазный сигнал. Эта способность проявляется в том, что при подаче на входы дифференциального каскада одинаковых (синфазных) сигналов напряжение на выходе меняется весьма мало.

В практике использования дифференциального каскада нередко встречается случай, когда одни из входов (например, Вх. 2) заземляется, а на другой вход (например, Вх. 1) поступает сигнал. В этом случае благодаря действию резистора $R1$, включённого в эмиттерную цепь усилителя, разность напряжений на дифференциальном выходе схемы оказывается малой — подавление синфазного сигнала происходит и в этом случае. Подавление тем лучше, чем больше величина сопротивления резистора $R1$. Выполнение резистора большого сопротивления приводит к значительному расходу площади подложки ИМС и существенному увеличению мощности, рассеиваемой на резисторе. Поэтому резистор заменяют источником

постоянного тока (рис. 8.11, б). Источники тока, предназначенные для дифференциальных усилителей, обычно рассчитываются таким образом, чтобы их токи увеличивались с ростом температуры. Проводимость прямой передачи дифференциального усилителя обратно пропорциональна абсолютной температуре. Таким образом, изменения этих параметров имеют противоположные знаки и тем самым компенсируют друг друга, обеспечивая независимость крутизны от температуры.

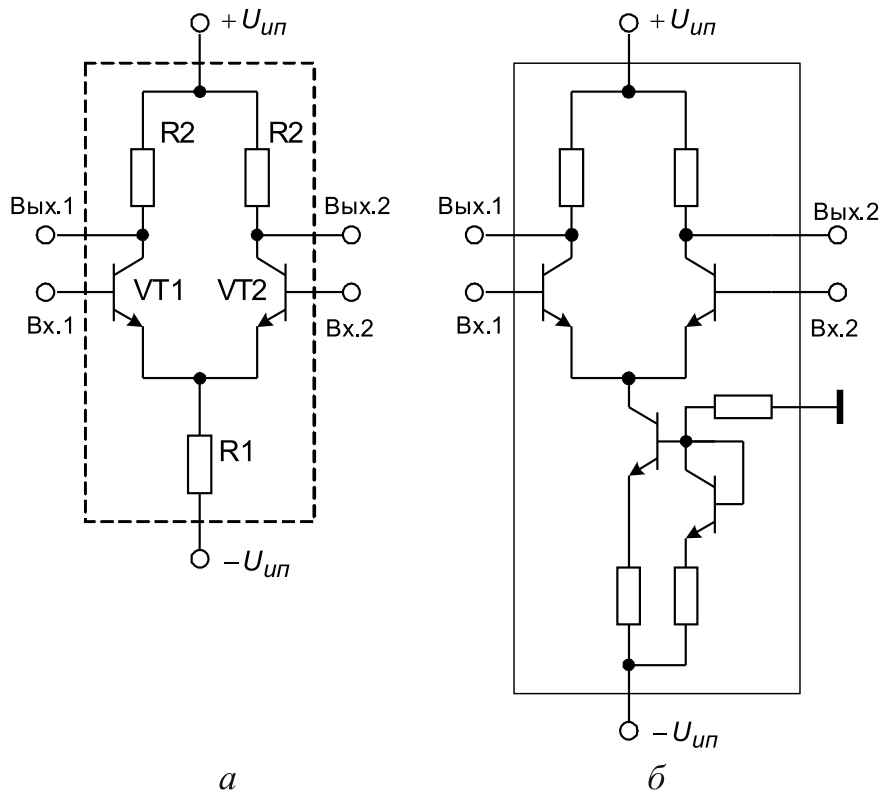


Рис. 8.11 – Симметричный дифференциальный усилитель (а) и дифференциальный усилитель с источником постоянного тока (б)

Дифференциальный усилитель на биполярных транзисторах. Соотношения между токами и напряжениями симметричного дифференциального усилителя можно получить при рассмотрении схемы, представленной на рис. 8.12.

Предположим, что оба транзистора дифференциальной пары работают в активном режиме и что их базовые токи малы по сравнению с токами коллектора. Для тока коллектора транзистора VT1 можно записать:

$$I_{к1} = I_{T1} \exp\left(\frac{U_{бэ1}}{\varphi_T}\right), \quad (8.6)$$

где $U_{бэ1}$, I_{T1} — напряжение база-эмиттер и обратный ток коллектора транзистора VT1 соответственно.

Аналогичное соотношение можно записать для тока коллектора транзистора VT2:

$$I_{к2} = I_{T2} \exp\left(\frac{U_{бэ2}}{\varphi_T}\right). \quad (8.7)$$

При строго идентичных транзисторах $I_{T1} = I_{T2}$. В реальных схемах транзисторы VT1 и VT2, даже будучи выполненными на одном кристалле, всегда несколько

отличаются друг от друга [3], что приводит к появлению ЭДС смещения $E_{см}$. Для биполярных транзисторов $E_{см}$ определяется разностью напряжений $U_{бэ}$ первого ($VT1$) и второго ($VT2$) транзисторов дифференциальной пары и приближенно равна:

$$E_{см} \approx \varphi_T \ln \left(\frac{I_{э1}}{I_{э2}} \cdot \frac{I_{T2}}{I_{T1}} \right),$$

где $I_{э1}, I_{э2}$ — эмиттерные токи транзисторов $VT1$ и $VT2$ соответственно.

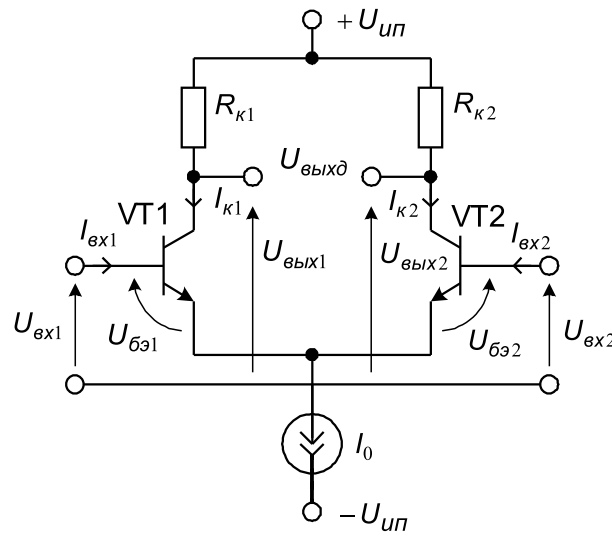


Рис. 8.12 – Симметричный дифференциальный усилитель с нагрузочными резисторами

Обычно в дифференциальном каскаде $I_{э1} = I_{э2}$, поэтому $E_{см}$ определяется разбросом тепловых токов, обусловленных неидентичностью площадей переходов и концентрацией примесей при изготовлении транзисторов:

$$E_{см} \approx \varphi_T \ln \left(\frac{I_{T2}}{I_{T1}} \right). \quad (8.8)$$

Величина $E_{см}$ для планарных транзисторов составляет $\pm(1 - 2)$ мВ и менее.

Используя выражение для ЭДС смещения, соотношение для тока $I_{к2}$ представим в виде:

$$I_{к2} = I_{T2} \exp \left(\frac{U_{бэ2}}{\varphi_T} \right) = I_{T1} \exp \left(\frac{U_{бэ2} + E_{см}}{\varphi_T} \right).$$

Поскольку $I_{к1} + I_{к2} = I_0$, имеем:

$$I_0 = I_{T1} \left[\exp \left(\frac{U_{бэ1}}{\varphi_T} \right) + \exp \left(\frac{U_{бэ2} + E_{см}}{\varphi_T} \right) \right], \quad (8.9)$$

откуда

$$I_{T1} = \frac{I_0}{\exp \left(\frac{U_{бэ1}}{\varphi_T} \right) + \exp \left(\frac{U_{бэ2} + E_{см}}{\varphi_T} \right)}. \quad (8.10)$$

Подстановка выражения (8.10) для тока I_{T1} в уравнение (8.6) для тока I_{K1} даёт:

$$I_{K1} = \frac{I_0 \exp\left(\frac{U_{\beta\alpha 1}}{\varphi_T}\right)}{\exp\left(\frac{U_{\beta\alpha 1}}{\varphi_T}\right) + \exp\left(\frac{U_{\beta\alpha 2} + E_{см}}{\varphi_T}\right)}. \quad (8.11)$$

Разделив числитель и знаменатель на величину $\exp\left(\frac{U_{\beta\alpha 1}}{\varphi_T}\right)$, получим:

$$I_{K1} = \frac{I_0}{1 + \exp\left(\frac{U_{\beta\alpha 1} - U_{\beta\alpha 2} + E_{см}}{\varphi_T}\right)}. \quad (8.12)$$

Для тока I_{K2} имеем:

$$\begin{aligned} I_{K2} &= I_{T2} \exp\left(\frac{U_{\beta\alpha 2}}{\varphi_T}\right) = I_{T1} \exp\left(\frac{E_{см}}{\varphi_T}\right) \exp\left(\frac{U_{\beta\alpha 2}}{\varphi_T}\right) = \\ &= \frac{I_0 \exp\left(\frac{U_{\beta\alpha 2} + E_{см}}{\varphi_T}\right)}{\exp\left(\frac{U_{\beta\alpha 1}}{\varphi_T}\right) + \exp\left(\frac{U_{\beta\alpha 2} + E_{см}}{\varphi_T}\right)}, \end{aligned} \quad (8.13)$$

то есть:

$$I_{K2} = \frac{I_0}{1 + \exp\left(\frac{U_{\beta\alpha 1} - U_{\beta\alpha 2} - E_{см}}{\varphi_T}\right)}. \quad (8.14)$$

Поскольку $U_{вх.1} = U_{\beta\alpha 1} + U_{\alpha}$ и $U_{вх.2} = U_{\beta\alpha 2} + U_{\alpha}$, то $U_{\beta\alpha 1} - U_{\beta\alpha 2} = U_{вх.1} - U_{вх.2}$.

Используя формулу для дифференциального входного напряжения ($U_{диф} = U_{вх.1} - U_{вх.2}$), выразим коллекторные токи транзисторов $VT1$ и $VT2$ через напряжение $U_{диф}$ в виде:

$$I_{K1} = \frac{I_0}{1 + \exp\left(\frac{-U_{диф} + E_{см}}{\varphi_T}\right)} = \frac{I_0}{1 + \exp\left(-\frac{U_{диф} - E_{см}}{\varphi_T}\right)}, \quad (8.15)$$

$$I_{K2} = \frac{I_0}{1 + \exp\left(\frac{U_{диф} - E_{см}}{\varphi_T}\right)}. \quad (8.16)$$

Графическое изображение токов I_{K1}, I_{K2} от $(U_{диф} - E_{см})$ даёт *передаточную характеристику дифференциального усилителя* (рис. 8.13). Здесь коллекторные токи нормированы по отношению к току I_0 . Отметим, что если $U_{диф} = E_{см}$, то $I_{K1} = I_{K2} = I_0/2$. Другими словами, при $U_{диф} = E_{см}$ дифференциальный усилитель сбалансирован, то есть ток источника тока распределяется между двумя транзисторами дифференциальной пары поровну.

Из выражений (8.15), (8.16) для токов I_{K1} и I_{K2} , а также из графиков передаточных характеристик дифференциального усилителя (рис. 8.13) видно, что, по мере того как напряжение $U_{диф}$ изменяется в ту или другую сторону относительно нулевого потенциала, всё больший ток протекает через один транзистор и всё

меньший — через другой. Однако нет такой точки, где весь ток протекал бы только через один транзистор, а другой был бы полностью закрыт.



Общий диапазон $U_{\text{диф}}$ дифференциального входного напряжения, необходимый для перераспределения тока дифференциального усилителя от $I_{K1} = 0.9I_0$ и $I_{K2} = 0.1I_0$ до $I_{K1} = 0.1I_0$ и $I_{K2} = 0.9I_0$, называется переходным напряжением.

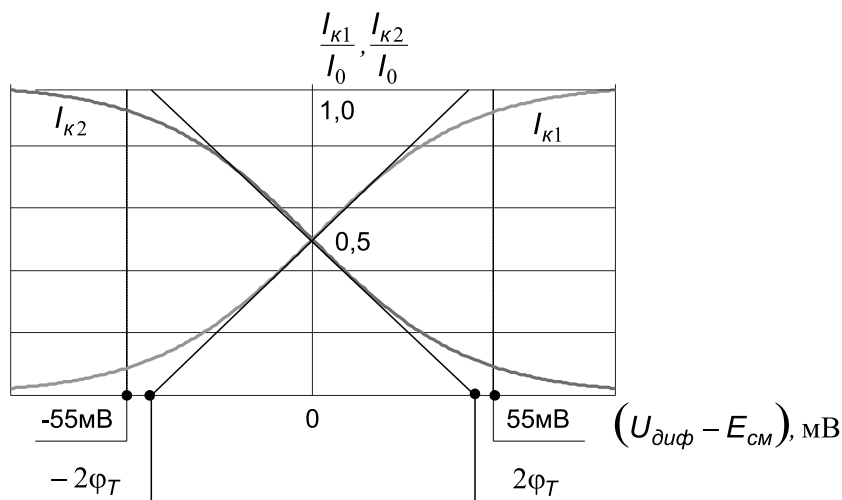


Рис. 8.13 – Передаточная характеристика дифференциального усилителя

Определим переходное напряжение. Когда $I_{K1} = 0,9I_0$ и $I_{K2} = 0,1I_0$, можно записать:

$$0,1I_0 = \frac{I_0}{1 + \exp\left(\frac{U_{\text{диф}} - E_{\text{см}}}{\varphi_T}\right)},$$

$$\text{то есть: } \exp\left(\frac{U_{\text{диф}} - E_{\text{см}}}{\varphi_T}\right) = 9,$$

$$\text{откуда: } U_{\text{диф}} - E_{\text{см}} = \varphi_T \ln 9 = 25 \cdot 10^{-3} \cdot 2,1972 \approx 55 \text{ мВ.}$$

Когда $I_{K1} = 0,1I_0$, то $(U_{\text{диф}} - E_{\text{см}}) \approx -55 \text{ мВ}$. Таким образом, $\Delta U_{\text{диф}} = 110 \text{ мВ}$.



Выводы

Из соотношений для токов I_{K1} и I_{K2} , а также из графиков I_{K1} и I_{K2} , в зависимости от напряжения $U_{\text{диф}}$, дифференциальный усилитель является нелинейным устройством. Однако в некоторой ограниченной области передаточной характеристики $I_{K1}(U_{\text{диф}})$ или $I_{K2}(U_{\text{диф}})$ зависимость между токами и входным напряжением можно считать примерно линейной. На рис. 8.13 видно, что входные напряжения, при которых передаточная характеристика примерно линейна, лежат в пределах от значения $(U_{\text{диф}} - E_{\text{см}}) = -\varphi_T$ до значения $(U_{\text{диф}} - E_{\text{см}}) = +\varphi_T$, следовательно, полный диапазон изменения входного напряжения равен примерно $2\varphi_T$.

Таким образом, с точки зрения зависимости между переменным входным напряжением и переменными выходными токами дифференциальный усилитель при работе с сигналами малой амплитуды можно считать практически линейным устройством.

Анализ выражений для токов $I_{к1}$ и $I_{к2}$ показывает, что при $I_0 = \text{const}$ токи $I_{к1}$ и $I_{к2}$ являются функциями только дифференциального входного напряжения и абсолютно не зависят от любой синфазной составляющей входного напряжения. Таким образом, усилитель действительно является дифференциальным, или разностным усилителем, реагирующим на любое напряжение, общее для обоих входов.

Дифференциальные усилители на полевых транзисторах в принципе работают так же, как и дифференциальные усилители на биполярных транзисторах.



Достоинствами дифференциального усилителя на полевых транзисторах являются очень высокое входное сопротивление ($10^9 - 10^{12}$ Ом) и очень маленький входной ток смещения ($10^{-9} - 10^{-12}$ А).

К недостаткам дифференциального усилителя на полевых транзисторах можно отнести довольно низкую передаточную проводимость и, как следствие этого, низкий коэффициент усиления по напряжению. Другой недостаток — довольно большое напряжение смещения пары полевых транзисторов по сравнению с парой биполярных транзисторов.

Схема дифференциального усилителя на полевых транзисторах с $p-n$ -переходом приведена на рис. 8.14.

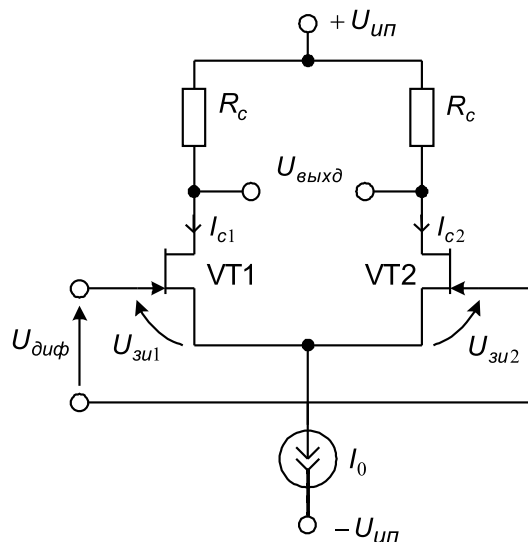


Рис. 8.14 – Дифференциальный усилитель на полевых транзисторах с $p-n$ -переходом

На рис. 8.15 представлен нормированный график передаточной характеристики дифференциального усилителя на полевых транзисторах с $p-n$ -переходом.

Для малых значений $U_{\text{диф}}$ зависимость между $U_{\text{диф}}$ и ΔI имеет вид:

$$U_{\text{диф}} \approx U_{\text{отс}} \left(\frac{I_0}{I_{\text{с.нач}}} \right)^{\frac{1}{2}} \cdot \frac{1}{\sqrt{2}} \left[\left(1 - \frac{\Delta I}{I_0} \right) - \left(1 + \frac{\Delta I}{I_0} \right) \right] = - \frac{U_{\text{отс}}(2\Delta I)}{\sqrt{2I_0 \cdot I_{\text{с.нач}}}}$$

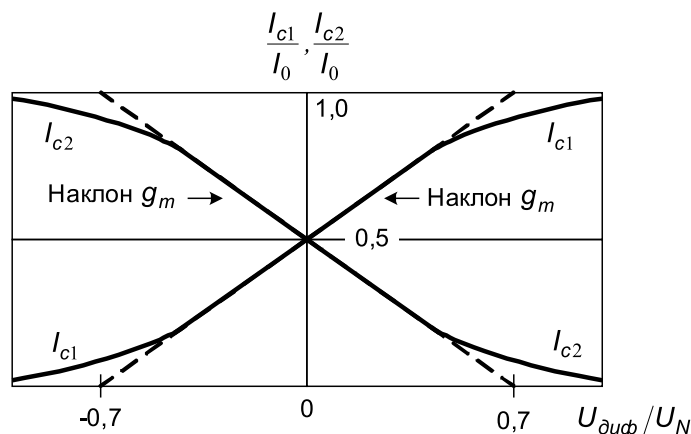


Рис. 8.15 – Передаточная характеристика дифференциального усилителя на полевых транзисторах, нормирующий множитель $U_N = -U_{\text{отс}}\sqrt{I_0/I_{\text{с.нач}}}$ для полевых транзисторов с р-п-переходом и $U_N = \sqrt{I_0/K}$ для МОП-транзисторов.

Из анализа графика (рис. 8.15) передаточной характеристики дифференциального усилителя на полевых транзисторах следует, что её можно линейно аппроксимировать в достаточно большом диапазоне нормированного входного напряжения. Этот линейный участок лежит в диапазоне от $U_{\text{диф}} = -0.5U_N$ до $U_{\text{диф}} = +0.5U_N$.

Дифференциальные усилители с активной нагрузкой. Для выделения переменного выходного напряжения из переменной составляющей коллекторных токов транзисторов $VT1$ и $VT2$ необходима нагрузка.



Нагрузка может быть *пассивной*, состоящей из двух нагрузочных резисторов R_k (рис. 8.12), либо *активной*. В случае активной нагрузки для преобразования тока в напряжение используются транзисторы.

Известно, что коэффициент усиления по напряжению несимметричного выхода дифференциального усилителя (рис. 8.12) равен $k_U = \frac{I_0 R_k}{4\varphi_T}$. Поскольку величина I_0 в дифференциальных усилителях обычно очень мала, часто порядка нескольких микроампер, то для получения достаточно большого коэффициента усиления требуется очень большое сопротивление R_k (порядка 1 МОм). Однако такое большое сопротивление нагрузки приводит к ряду недостатков, особенно в интегральных дифференциальных усилителях:

- в ИМС площадь, необходимая под резистор, примерно пропорциональна его сопротивлению, поэтому резистор с очень большим сопротивлением занимает слишком много места на кристалле ИМС.

Падение напряжения на транзисторах $VT3$, $VT4$ активной нагрузки примерно равно $2 U_{бэ}$, напряжение на коллекторах транзисторов $VT1$ и $VT2$ равно $(U_{инп} - 2U_{бэ})$. Падение напряжения на переходе база-эмиттер связано логарифмической зависимостью с током через него, и при изменении тока в отношении $10 : 1$ результирующее напряжение $U_{бэ}$ составляет всего 60 мВ. Это значит, что падение напряжения на активной нагрузке в реальных условиях будет примерно постоянным, равным (1.2 ± 0.06) В. Поскольку напряжение на базах транзисторов $VT1$ и $VT2$, не приводящее к насыщению транзисторов, не должно превышать напряжение на коллекторах более чем на 0.5 В, то диапазон изменения входного напряжения ограничен сверху величиной $(U_{инп} - 1.2 + 0.5)$ В = $(U_{инп} - 0.7)$ В, что всего на 0.7 В меньше положительного напряжения питания.

Активная нагрузка содержит два транзистора и поэтому занимает очень мало место на кристалле ИМС. Выходная или коллекторная ёмкость транзистора $VT4$ определяет паразитную ёмкость активной нагрузки и приблизительно равна $(3 - 10)$ пФ, то есть относительно невелика. Активная нагрузка позволяет получить коэффициент усиления каскада дифференциального усилителя более 10^3 , причём падение напряжения на ней будет не более чем 1.2 В. Таким образом, активная нагрузка не подвержена недостаткам пассивной нагрузки. Кроме того, немаловажно, что коэффициент усиления дифференциального каскада с активной нагрузкой в виде токового зеркала не зависит от тока I_0 источника постоянного тока. Значение тока I_0 можно выбрать достаточно малым (порядка 20 мкА), причём коэффициент усиления в этом случае останется большим. Желательно, чтобы I_0 было мало, так как это приведёт к малому входному току, а входное сопротивление станет большим. Выбор слишком малых величин I_0 нежелателен, так как это приведёт к уменьшению частотного диапазона и ухудшению переходной характеристики усилителя. В большинстве случаев, когда необходимо, чтобы значение входного тока было мало, лучше всего использовать в дифференциальном усилителе полевые транзисторы (МОП или с $p-n$ -переходом), работающие при относительно больших токах I_0 (рис. 8.17).

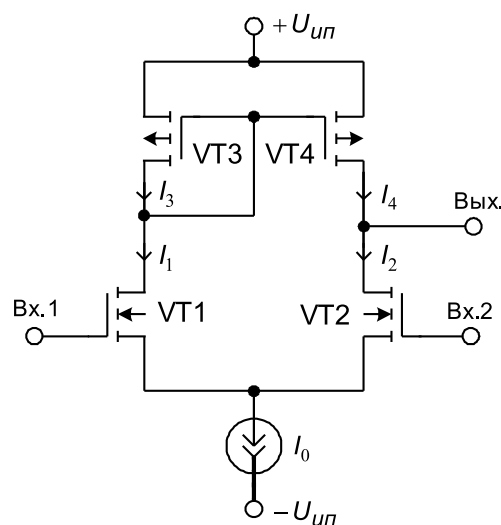


Рис. 8.17 – Дифференциальный усилитель на МОП-транзисторах с активной нагрузкой в виде токового зеркала.

Выходные каскады. Выходной каскад интегрального усилителя должен иметь малое выходное сопротивление, малые нелинейные искажения, способность обеспечивать высокие уровни напряжения, тока или мощности.

Из трёх основных схем включения транзистора (с общим эмиттером, общим коллектором и общей базой) схема с общим коллектором (ОК) обеспечивает наименьшее выходное сопротивление, а также относительно малые нелинейные искажения. Простейшая схема выходного каскада на транзисторе при включении по схеме ОК показана на рис. 8.18, а. Если схема (рис. 8.18, а) предназначена для использования в качестве каскада с непосредственной связью, то напряжение на базе транзистора VT1 обычно задаётся таким, чтобы напряжение на эмиттере было равно нулю. При этом ток покоя $I_3 = \frac{U_{ин}^-}{R_3}$. Если выходное напряжение положительное, ток транзистора составит:

$$I_3^+ = \frac{-U_{ин}^- + U_{вых}^+}{R_3} + \frac{U_{вых}^+}{R_H} = I_3 + \frac{U_{вых}^+ (R_3 + R_H)}{R_3 R_H}. \quad (8.17)$$

Из выражения (8.17) видно, что единственным элементом, практически ограничивающим ток транзистора, а следовательно, и допустимый размах напряжения, является сопротивление нагрузки R_H .

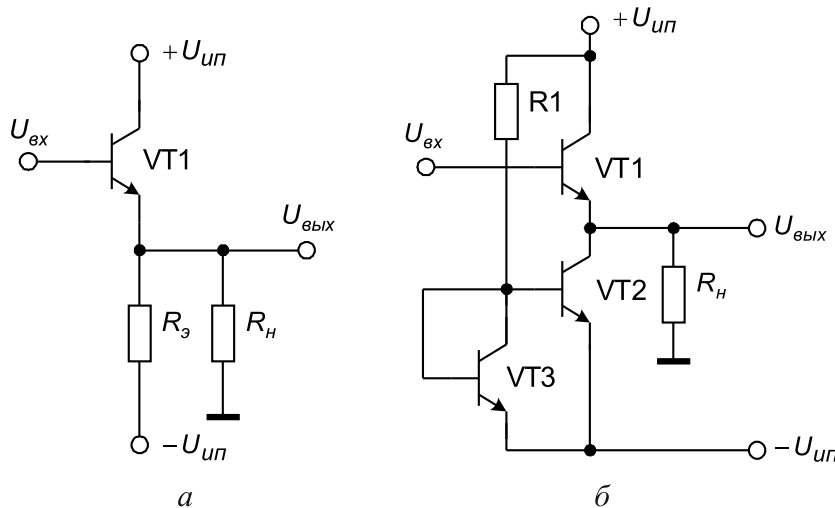


Рис. 8.18 – Выходные каскады на транзисторах при включении по схеме ОК:
а – базовая схема; б – схема с токовым зеркалом

Таким образом, напряжение $U_{вых. max}^+$ может быть очень близким к напряжению питания $U_{ин}^+$. Если выходное напряжение отрицательно, то ток транзистора уменьшается до значения:

$$I_3^- = I_3 + \frac{U_{вых}^- (R_3 + R_H)}{R_3 R_H}$$

и ограничивается током покоя эмиттера. В предельном случае, когда $I_3^- = 0$, ток покоя эмиттера $I_3 = \frac{U_{ин}^-}{R_3} = \frac{U_{вых. max}^- (R_3 + R_H)}{R_3 R_H}$, откуда максимальная амплитуда отрицательного напряжения:

$$U_{вых. max}^- = \frac{U_{ин}^- R_H}{R_3 + R_H} < U_{вых. max}^+. \quad (8.18)$$

Вследствие того, что с точки зрения допустимых размахов выходных напряжений схема асимметрична, а её коэффициент полезного действия невелик, использование простой схемы ОК (рис. 8.18, а) ограничено. Размах напряжений можно сделать симметричным, а КПД улучшить путём введения резистора $R_1 > U_{ин}^-/R_3$ и замены эмиттерного резистора источником тока, как это показано на рис. 8.18, б.

Симметричный размах и малые искажения выходного сигнала можно обеспечить в *двухтактных выходных каскадах*. На рис. 8.19 показана схема выходного каскада класса А, построенного на *n-p-n*-транзисторах.

Транзисторы *VT1* и *VT2* управляются транзистором *VT4*. Транзисторы *VT2* и *VT3* используются в качестве источника тока, коэффициент передачи которого зависит от отношения активных площадей транзисторов *VT2* и *VT3*:

$$B_2 = \frac{S_2}{S_3}.$$

Коллекторный ток транзистора *VT1* уменьшается, а транзистора *VT2* возрастает с увеличением входного напряжения. Максимальные токи транзисторов *VT2* и *VT4* соответствуют значениям: $I_{к4, \max} \approx \frac{U_{ин}^+ - U_{ин}^-}{R_к}$, $I_{к2, \max} = B_2 I_{к4, \max} \approx \frac{B_2 (U_{ин}^+ - U_{ин}^-)}{R_к}$.

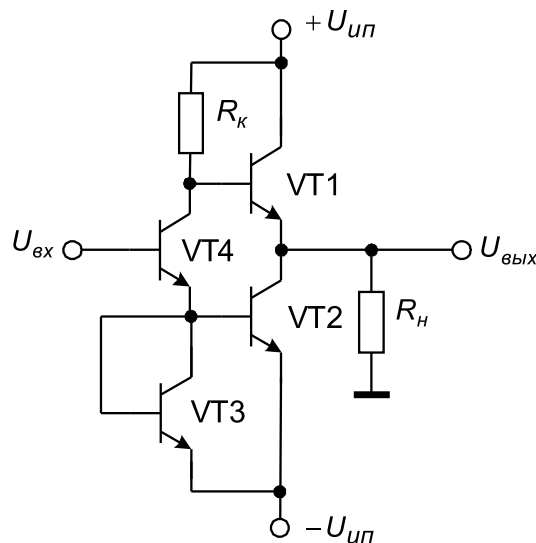


Рис. 8.19 – Двухтактный выходной каскад на транзисторах, работающих в режиме А

Если выходное напряжение равно нулю, то токи покоя транзисторов *VT1* и *VT2* равны: $I_{к1} = I_{к2} \approx \frac{B_2 U_{ин}^+}{R_к}$.

Поскольку каскад работает в режиме класса А, потребляемая на холостом ходу мощность довольно велика. Если входное напряжение уменьшается, токи транзисторов *VT2* и *VT4* также уменьшаются, а ток транзистора *VT1* увеличивается. Если транзистор *VT4* закрывается, выходной ток становится равным:

$$I_{к1} = \frac{\beta_1 (U_{ин}^+ - U_{вых} - U_{бэ})}{R_к}. \quad (8.19)$$

Из выражения (8.19) следует, что при закрытом транзисторе $VT4$ выходной ток ограничивается коэффициентом усиления по току β_1 и коллекторным сопротивлением резистора R_k . Высокий КПД, симметричность размаха сигнала и малые нелинейные искажения могут быть получены в схеме, в которой используются эмиттерные повторители на комплементарных транзисторах, работающие в режиме AB .

В двухтактных каскадах в качестве $p-n-p$ -транзистора используют торцевой транзистор, недостатком которого является низкое значение β , уменьшающее коэффициент усиления выходного каскада для сигналов запирающей полярности. Для увеличения β применяют составной транзистор, образующий одно плечо двухтактного выходного каскада. Составной транзистор строят либо на комплементарных парах, либо на паре торцевых $p-n-p$ -транзисторов.

8.2 Интегральные операционные усилители и их основные свойства



.....
Операционный усилитель (ОУ) представляет собой усилитель постоянного тока с высоким входным и низким выходным сопротивлениями, обеспечивающий большой коэффициент усиления по напряжению.

Известно, что усилители постоянного тока с малым дрейфом и гальваническими связями могут быть построены только с дифференциальными каскадами на входе. Поэтому операционные усилители всегда имеют два входа (рис. 8.20).

Вследствие использования дифференциального входного каскада ОУ имеет очень большой коэффициент подавления синфазной составляющей сигнала, что позволяет в первом приближении связь между входным и выходным напряжениями представить в виде:

$$U_{\text{вых}} = k_U (U_{\text{вх.н}} - U_{\text{вх.и}}), \quad (8.20)$$

где k_U — коэффициент усиления ОУ по напряжению.

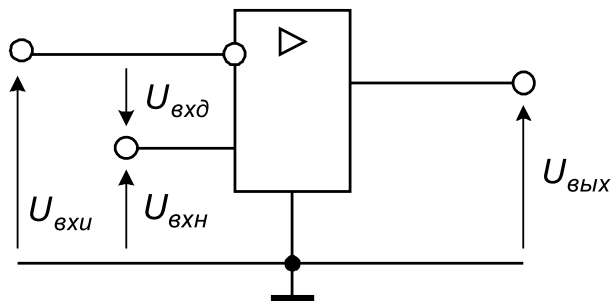


Рис. 8.20 – Условное графическое обозначение интегрального операционного усилителя

Выражение (8.20) означает, что в идеале выходное напряжение операционного усилителя зависит только от дифференциальной составляющей входного напряже-

ния $U_{\text{вх.д}} = U_{\text{вх.н.}} - U_{\text{вх.и}}$ и коэффициенты усиления для инвертирующего и неинвертирующего входов равны и противоположны по знаку.

Идеальная передаточная характеристика ОУ показана на рис. 8.21, на ней можно выделить *линейную область* (область усиления), где $U_{\text{вых}} = k_U U_{\text{вх.д}}$, ограниченную сверху и снизу *областями насыщения*, где выходное напряжение не реагирует на изменение дифференциальной составляющей входного напряжения $U_{\text{вх.д}}$.

Поскольку усиление k_U очень велико, особенно на низких частотах, где оно лежит в пределах $10^5 - 10^6$, ширина линейной зоны весьма незначительна и может быть определена из выражения: $\Delta U_{\text{вх.д}} = \frac{U_{\text{ип}}^+ + |U_{\text{ип}}^-| - 2}{k_U}$.

Если напряжение питания ОУ равно ± 10 В, то $\Delta U_{\text{вх.д}} \approx (20 - 200)$ мкВ. Следовательно, чтобы напряжение на выходе ОУ было равно усиленному значению напряжения на входе, амплитуда входного напряжения должна быть достаточно малой, как правило, менее 1 мВ. В противном случае ОУ пропадает в область насыщения и выходное напряжение не повторяет входное, а форма выходного сигнала будет сильно искажённой.

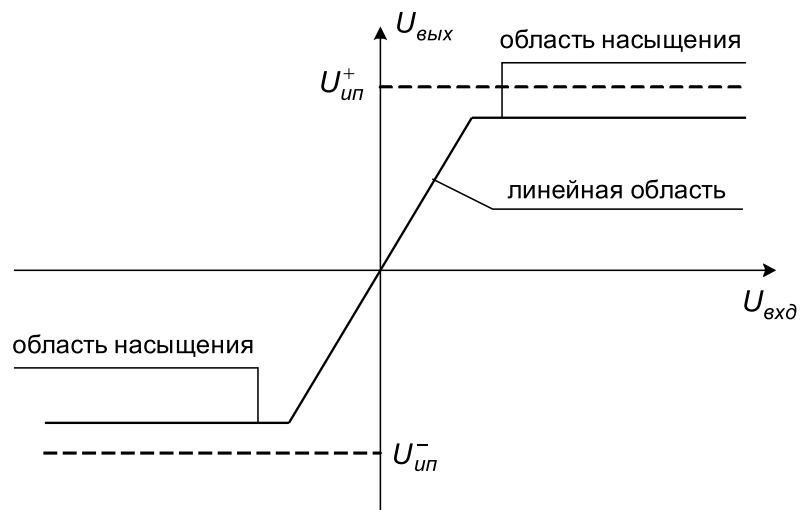


Рис. 8.21 – Передаточная характеристика ОУ

ОУ обычно охватывают петлей обратной связи, так что часть выходного напряжения подаётся на инвертирующий вход (рис. 8.28). При этом выполняются условия реализации *отрицательной обратной связи*. Наличие большого коэффициента усиления прямой передачи позволяет применять глубокую отрицательную обратную связь, что открывает возможности для получения характеристик, определяемых только пассивными элементами цепи обратной связи.



.....
 Коэффициент, показывающий, какая часть выходного напряжения возвращается на инвертирующий вход, называют **коэффициентом обратной связи F**.

Для схемы на рис. 8.22 коэффициент обратной связи F определяется из соотношения:

$$F = \frac{U'_{\text{ВЫХ}}}{U_{\text{ВЫХ}}} = \frac{Z_1}{Z_1 + Z_2}. \quad (8.21)$$

Используя основное уравнение $U_{\text{ВЫХ}} = k_U (U_{\text{ВХ.Н}} - U_{\text{ВХ.И}})$ функционирования ОУ и учитывая, что дифференциальная составляющая входного напряжения больше не равна $U_{\text{ВХ.Д}} = U_{\text{ВХ.Н}} - U_{\text{ВХ.И}}$, а подчиняется равенству:

$$U_{\text{ВХ.Д}} = U_{\text{ВХ.Н}} - (U'_{\text{ВХ.И}} + U'_{\text{ВЫХ}}) = U_{\text{ВХ.Н}} - U'_{\text{ВХ.И}} - FU_{\text{ВЫХ}},$$

получим:

$$U_{\text{ВЫХ}} = \frac{k_U}{1 + Fk_U} (U_{\text{ВХ.Н}} - U'_{\text{ВХ.И}}) = k_{U,\text{ос}} (U_{\text{ВХ.Н}} - U'_{\text{ВХ.И}}), \quad (8.22)$$

где $k_{U,\text{ос}} = \frac{k_U}{1 + Fk_U}$ — коэффициент усиления с обратной связью.

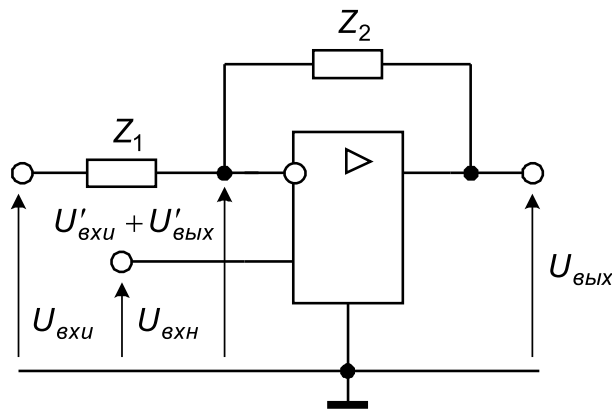


Рис. 8.22 – Схема включения ОУ с отрицательной обратной связью

При этом: $U'_{\text{ВХ.И}} = \frac{Z_2}{Z_1 + Z_2} U_{\text{ВХ.И}}$.

Из (8.22) следует, что коэффициент усиления ОУ с отрицательной обратной связью равен $k_{U,\text{ос}} = \frac{k_U}{1 + Fk_U}$ и меньше коэффициента усиления ОУ без обратной связи.



.....
Величину Fk_U называют петлевым усилителем.

При большом петлевом усилении, когда $Fk_U \gg 1$, коэффициент усиления ОУ с отрицательной обратной связью практически не зависит от коэффициента без обратной связи, а определяется главным образом параметрами петли обратной связи. Для схемы (рис. 8.22) $F = \frac{Z_1}{Z_1 + Z_2}$, откуда следует, что $k_{U,\text{ос}} = \frac{1}{F} = 1 + \frac{Z_2}{Z_1}$, а значит, $k_{U,\text{ос}}$ определяется соотношением сопротивлений Z_1 и Z_2 .

При этом:

$$\begin{aligned}
 U_{\text{ВЫХ}} &= \frac{k_U}{1 + Fk_U} \left(U_{\text{ВХ.Н}} - \frac{Z_2 U_{\text{ВХ.И}}}{Z_1 + Z_2} \right) \Big|_{Fk_U \gg 1} = \\
 &= \left(1 + \frac{Z_2}{Z_1} \right) \left(U_{\text{ВХ.Н}} - \frac{Z_2 U_{\text{ВХ.И}}}{Z_1 + Z_2} \right) = \left(1 + \frac{Z_2}{Z_1} \right) U_{\text{ВХ.Н}} - \frac{Z_2}{Z_1} U_{\text{ВХ.И}}.
 \end{aligned}
 \tag{8.23}$$

Из выражения (8.23) для выходного напряжения следует, что входной сигнал $U_{\text{ВХ.Н}}$, который поступает на *неинвертирующий вход* ОУ, передаётся на выход ОУ с коэффициентом усиления $(1 + Z_2/Z_1)$, а коэффициент усиления другого входного сигнала $U_{\text{ВХ.И}}$, во-первых, имеет отрицательный знак и, во-вторых, учитывает преобразование делителем напряжения (Z_1, Z_2) и равен:

$$\left(\frac{Z_2}{Z_1 + Z_2} \right) \cdot \left[- \left(1 + \frac{Z_2}{Z_1} \right) \right] = - \frac{Z_2}{Z_1}.$$

При анализе схем включения ОУ с отрицательной обратной связью чаще всего придерживаются следующей последовательности:

- Проводят анализ методом узловых потенциалов, полагая ОУ идеальным с бесконечно большим коэффициентом усиления. Несмотря на то, что такой режим практически не осуществим, он является хорошей аппроксимацией реальных ситуаций, и поэтому результаты его анализа имеют большую практическую ценность.
- Проводят анализ, полагая ОУ идеальным с конечным коэффициентом усиления.
- Рассматривают особенности работы ОУ при условии, что его характеристики не являются идеальными.

Проведём анализ схемы на рис. 8.23. Предположим, что ОУ — идеальный усилитель напряжения и что его входы не потребляют тока от источника входных сигналов.

Если предположить, что коэффициент усиления ОУ без обратной связи стремится к бесконечности (*аппроксимация с большим коэффициентом усиления*), то входное напряжение $U_{\text{ВХ.Д}}$ будет стремиться к нулю ($U_{\text{ВХ.Д}} = \frac{U_{\text{ВЫХ}}}{k_U} \rightarrow 0$ при $k_U \rightarrow \infty$), так как выходное напряжение $U_{\text{ВЫХ}}$ должно быть конечным. Следовательно, в узлах «х» и «у» напряжение равно $U_x = U_y = U_1$.

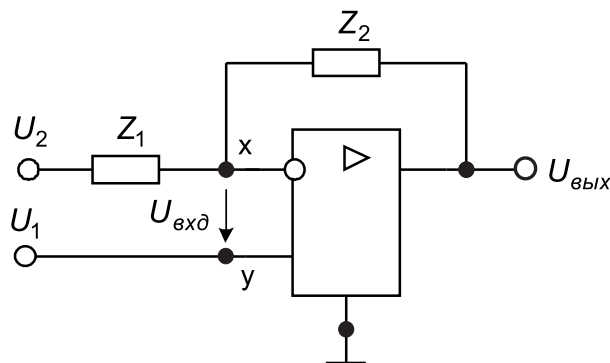


Рис. 8.23 – Схема включения ОУ для анализа методом узловых потенциалов

Для узла «х» справедливо уравнение:

$$(U_2 - U_1) \frac{1}{Z_1} = (U_1 - U_{\text{ВЫХ}}) \frac{1}{Z_2}.$$

Решая это уравнение относительно $U_{\text{ВЫХ}}$, получим:

$$U_{\text{ВЫХ}} = \left(1 + \frac{Z_2}{Z_1}\right) U_1 - \left(\frac{Z_2}{Z_1}\right) U_2. \quad (8.24)$$

Если коэффициент усиления ОУ без обратной связи имеет конечное значение, то $U_{\text{ВХ.Д}} = \frac{U_{\text{ВЫХ}}}{k_U}$, $U_x = U_1 - \frac{U_{\text{ВЫХ}}}{k_U}$.

Для узла «х» справедливо уравнение:

$$\left(U_2 - U_1 + \frac{U_{\text{ВЫХ}}}{k_U}\right) Y_1 = \left(U_1 - \frac{U_{\text{ВЫХ}}}{k_U} - U_{\text{ВЫХ}}\right) Y_2,$$

где $Y_1 = \frac{1}{Z_1}$ и $Y_2 = \frac{1}{Z_2}$.

Решая это уравнение относительно $U_{\text{ВЫХ}}$, получим:

$$U_{\text{ВЫХ}} = \frac{\left(1 + \frac{Z_2}{Z_1}\right) U_1 - \left(\frac{Z_2}{Z_1}\right) U_2}{1 + \frac{1}{k_U} \left(1 + \frac{Z_2}{Z_1}\right)}. \quad (8.25)$$



Выводы

Анализ выражения (8.25) показывает, что выходное напряжение, а следовательно, и коэффициент усиления ОУ с обратной связью являются функцией коэффициента усиления ОУ без обратной связи. Очевидно также и то, что при достижении коэффициентом усиления ОУ без обратной связи очень больших значений (по сравнению с $1 + Z_2/Z_1$) коэффициент усиления ОУ с обратной связью будет всё меньше зависеть от коэффициента усиления ОУ без обратной связи и всё больше будет приближаться к значению, которое определено «аппроксимацией с бесконечно большим коэффициентом усиления».

Например, если в формуле (8.25) $U_2 = 0$, то:

$$U_{\text{ВЫХ}} = \frac{\left(1 + \frac{Z_2}{Z_1}\right)}{1 + \frac{1}{k_U} \left(1 + \frac{Z_2}{Z_1}\right)} U_1,$$

откуда коэффициент усиления ОУ с обратной связью равен:

$$k_{U,\text{ос}} = \frac{U_{\text{ВЫХ}}}{U_1} = \frac{\left(1 + \frac{Z_2}{Z_1}\right)}{1 + \frac{1}{k_U} \left(1 + \frac{Z_2}{Z_1}\right)}.$$

По мере приближения k_U к бесконечности $k_{U,oc}$ стремится к пределу, который обозначается $k_{U,oc}(\infty)$. В данном примере $k_{U,oc}(\infty) = 1 + Z_2/Z_1$, и выражение для $k_{U,oc}$ можно представить в виде: $k_{U,oc} = \frac{k_{U,oc}(\infty)}{1 + \frac{k_{U,oc}(\infty)}{k_U}}$. Отсюда следует, что

при малых значениях k_U , удовлетворяющих условию $k_U \ll k_{U,oc}(\infty)$, $k_{U,oc} \approx k_U$. Если $k_U = k_{U,oc}(\infty)$, то $k_{U,oc} = \frac{1}{2}k_{U,oc}(\infty)$. При больших значениях k_U , когда $k_U \gg k_{U,oc}(\infty)$ (наиболее часто встречающийся на практике случай), $k_{U,oc}$ будет стремиться к $k_{U,oc}(\infty)$ и выражение для $k_{U,oc}$ можно записать в виде:

$$k_{U,oc} = \frac{k_{U,oc}(\infty)}{1 + \frac{k_{U,oc}(\infty)}{k_U}} \approx k_{U,oc}(\infty) \left(1 - \frac{k_{U,oc}(\infty)}{k_U}\right) \approx k_{U,oc}(\infty)(1 + \varepsilon), \quad (8.26)$$

где ε — относительная погрешность усиления, которая определяется как относительное изменение коэффициента усиления с обратной связью при изменении коэффициента усиления ОУ от бесконечно большого значения до некоторого конечного значения.

Относительная погрешность усиления может быть выражена в виде:

$$\varepsilon = \frac{k_{U,oc}(\infty) - k_{U,oc}}{k_{U,oc}}. \quad (8.27)$$

.....  **Выводы**

В то же время из (8.27) вытекает, что $\varepsilon \approx \frac{k_{U,oc}(\infty)}{k_U}$, следовательно, чем больше k_U , тем меньше погрешность усиления ОУ с обратной связью.

Другими словами, коэффициент усиления с обратной связью практически не зависит от изменения коэффициента усиления собственно ОУ, так как значительным изменениям коэффициента усиления без обратной связи соответствуют незначительные изменения коэффициента усиления с обратной связью.

.....
 На рис. 8.24 показана схема *неинвертирующего ОУ*, напряжение на выходе которой определяется выражением:

$$U_{\text{вых}} = k_{U,oc} U_1 = \left(1 + \frac{Z_2}{Z_1}\right) U_1. \quad (8.28)$$

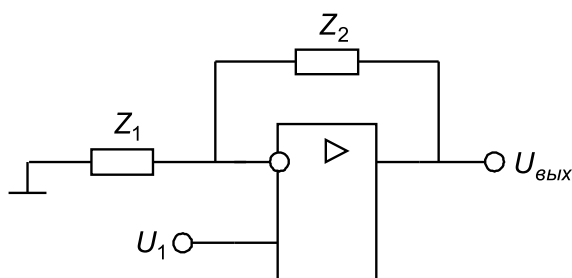


Рис. 8.24 – Схема неинвертирующего ОУ

На рис. 8.25 изображены передаточные характеристики ОУ с обратной связью и без неё. Поскольку коэффициент усиления с обратной связью может быть много меньше коэффициента усиления ОУ без обратной связи, то динамический диапазон входного напряжения для линейного режима ОУ можно значительно расширить по сравнению с ОУ без обратной связи.

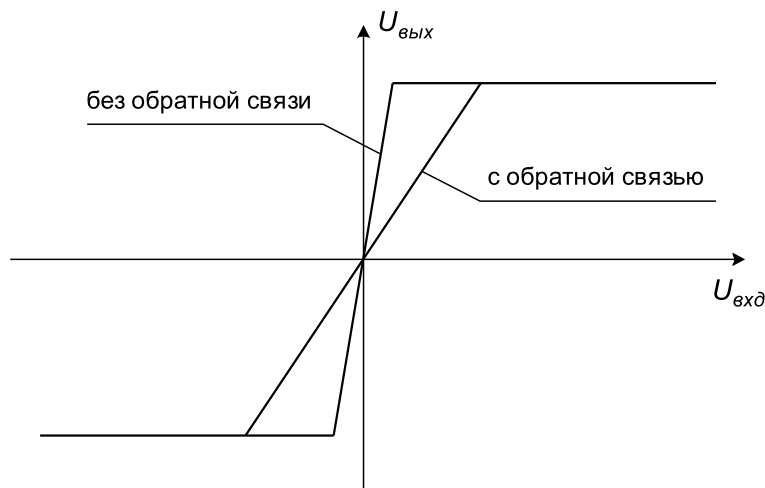


Рис. 8.25 – Передаточные характеристики в случаях с обратной связью и без обратной связи



.....
 Коэффициенты усиления ОУ без обратной связи обычно сильно отличаются друг от друга даже в пределах партии однотипных ОУ.

Расхождения в значениях k_U между отдельными образцами могут достигать отношения 3:1 и даже 10:1. Коэффициент усиления ОУ без обратной связи сильно зависит от частоты входного сигнала и может меняться от 10^6 на низких частотах (от 0 до 10 Гц) вплоть до значений менее единицы на частотах несколько МГц. Кроме того, коэффициент усиления зависит от колебаний напряжения питания ОУ и температурных воздействий.

Охват петель отрицательной обратной связи приводит к относительной независимости коэффициента усиления $k_{U,oc}$ от коэффициента усиления k_U . В этих

условиях $k_{U,oc}$ главным образом зависит от параметров петли. В частности, в рассматриваемом случае $k_{U,oc} = (1 + Z_2/Z_1)$.

.....  **Выводы**

Поскольку отношение сопротивлений резисторов можно подобрать равным необходимому значению и обеспечить условия независимости этого отношения от питающих напряжений, температуры и частоты, *использование отрицательной обратной связи позволяет получить не только точно установленное, но и стабильное значение коэффициента усиления.*

.....
 На рис. 8.26 показана другая простая схема включения ОУ. Для данной схемы напряжение на выходе $U_{вых} = -\frac{Z_2}{Z_1}U_2$, следовательно, это *инвертирующий усилитель* с коэффициентом усиления $k_{U,oc} = (-Z_2/Z_1)$.

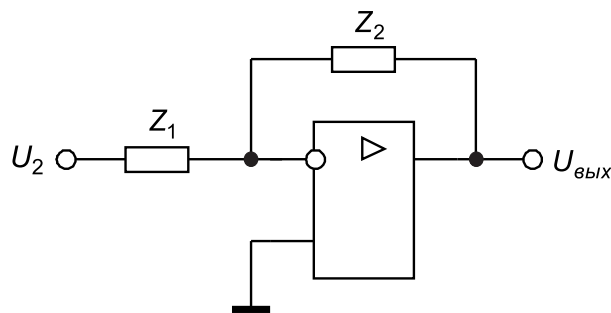


Рис. 8.26 – Схема инвертирующего ОУ

Усилитель с обратной связью, в котором используется идеальный ОУ, всегда можно свести к двум базовым включениям: *инвертирующий усилитель* с параллельной обратной связью по напряжению и *неинвертирующий усилитель* с последовательной обратной связью по напряжению.

Идеальный ОУ имеет нулевое выходное сопротивление и бесконечные полосу пропускания, коэффициент подавления синфазной составляющей сигнала, коэффициент усиления по напряжению, входные сопротивления для дифференциальной и синфазной составляющих. При отсутствии дифференциальной составляющей входного сигнала выходной сигнал равен нулю, что означает отсутствие в ОУ начальных смещения, дрейфа и шума.

Реальный ОУ не обладает свойствами идеального. Различия между ними сводятся к следующему:

- Коэффициент усиления конечный, обычно $60 \div 140$ дБ, поэтому коэффициент усиления ОУ с обратной связью является функцией коэффициента усиления ОУ без обратной связи.
- Выходное напряжение ограничено динамическим диапазоном напряжения выходного каскада.

- Выходной ток ограничен динамическим диапазоном тока выходного каскада, из чего следует, что сопротивление нагрузки не может быть сколь угодно малым, даже если выходное сопротивление ОУ очень мало.
- Коэффициент усиления по напряжению с ростом частоты уменьшается со скоростью, определяемой числом и предельными частотами усилительных каскадов ОУ, что необходимо учитывать в практике применения ОУ прежде всего потому, что коэффициент усиления усилителя с обратной связью уже не является функцией только сопротивлений элементов цепи обратной связи, а ещё и потому, что фазовые сдвиги, вносимые ОУ и цепью обратной связи, могут складываться таким образом, что усилитель с обратной связью становится динамически неустойчивым. Поэтому важным требованием является обеспечение достаточного запаса устойчивости посредством выбора соответствующей формы частотной характеристики коэффициента усиления петли (коэффициента обратной связи).
- Приведённые к входу ток и напряжение смещения имеют конечное значение. Суммарное напряжение смещения, которое они определяют при данном сопротивлении источника сигнала, вызывает сдвиг характеристики передачи вдоль оси x на величину входного напряжения смещения.
- Для нормальной работы входного дифференциального каскада необходимо обеспечить входной ток покоя $I_{\text{вх}} = \frac{I_{\text{вх.1}} + I_{\text{вх.2}}}{2}$. Протекание токов $I_{\text{вх.1}}$ и $I_{\text{вх.2}}$ через постоянные сопротивления цепей, подключённых к входам ОУ, вызывает пропорциональные падения. Если сопротивления этих цепей одинаковы, то указанные падения напряжения воспринимаются как синфазная составляющая входного напряжения. Если эти сопротивления различны, то указанные падения напряжения вызывают появление дополнительного напряжения смещения.
- Входное и выходное сопротивления имеют конечные значения, которые необходимо учитывать при определении коэффициента усиления по напряжению усилителя с обратной связью.
- Коэффициент подавления синфазной составляющей имеет конечное значение, поэтому выходное напряжение зависит как от дифференциальной, так и синфазной составляющих входного напряжения.
- Выходное напряжения ОУ наряду с усиленным входным напряжением содержит напряжение шума.

8.3 Характеристики и параметры ОУ

Стандартный набор технических характеристик ОУ включает большое число параметров. Некоторыми из них следует руководствоваться при выборе типа ОУ, в наибольшей степени подходящего для конкретного применения, а другие предназначены для использования в качестве исходных данных при проектировании.

Частотная характеристика. На практике анализ ОУ в переходных и установившихся режимах, как правило, проводят независимо друг от друга, используя при этом типовые воздействия специальных видов.

Для анализа установившихся режимов широко применяют частотные характеристики. Для анализа ОУ в переходных режимах применяют временные характеристики.



Частотные характеристики отражают реакцию операционного усилителя на тестовое гармоническое воздействие в установившемся режиме. Для компактного представления частотных характеристик применяют логарифмический масштаб, в котором строят логарифмические частотные характеристики: логарифмическую амплитудно-частотную характеристику (ЛАЧХ) и логарифмическую фазочастотную характеристику (ЛФЧХ).

Коэффициент усиления ОУ зависит от частоты входного сигнала и эта зависимость в общем виде выражается формулой:

$$k_U(f) = \frac{k_U(0)}{\left(1 + j\frac{f}{f_{c1}}\right)\left(1 + j\frac{f}{f_{c2}}\right)\left(1 + j\frac{f}{f_{c3}}\right)\dots}, \quad (8.29)$$

где $k_U(0)$ — коэффициент усиления ОУ без обратной связи на нулевой частоте; $f_{c1}, f_{c2}, f_{c3}, \dots$ — частоты сопряжения (точки излома частотной характеристики), расположенные в последовательности $f_{c1} < f_{c2} < f_{c3} \dots$.

Для большинства ОУ первая точка излома частотной характеристики соответствует небольшой частоте $f_{c1} \sim 10$ Гц по сравнению с $f_{c2} \sim (1-3)$ МГц и другими значениями частоты сопряжения.

В диапазоне частот, для которых выполняется условие $f^2 \gg f_{c1}^2, f^2 \ll f_{c2}^2, f^2 \ll f_{c3}^2 \dots$, приближенное выражение для коэффициента усиления ОУ без обратной связи имеет вид:

$$k_U(f) = \frac{k_U(0)}{j\frac{f}{f_{c1}}} = \frac{k_U(0)f_{c1}}{j \cdot f}. \quad (8.30)$$

Аппроксимация (8.30) допустима в диапазоне частот, для которого значение частоты f отличается от частот f_{c1} и f_{c2} по крайней мере в 3 раза, так что $3f_{c1} < f < f_{c2}/3$.



Частота единичного усиления f_1 — это частота, на которой модуль коэффициента усиления ОУ при разомкнутой обратной связи равен единице.



Зачастую вводится понятие **частоты среза (f_{cp})** — частоты единичного усиления при таких параметрах корректирующих цепей, при которых возможно введение полной отрицательной обратной связи, то есть соединение выхода ОУ с инвертирующим входом.

В случае когда ЛАЧХ операционного усилителя пересекает уровень единичного усиления (0 дБ) с наклоном 20 дБ/дек (например, для ОУ с внутренней частотной коррекцией), частота f_1 и частота f_{cp} равны. Следовательно, при $f = f_1$ справедливо равенство $\frac{k_U(0)f_{c1}}{f_1} = 1$, откуда $f_1 = k_U(0)f_{c1}$.

Коэффициент усиления ОУ без обратной связи выражается через частоту единичного усиления формулой:

$$k_U(f) \approx \frac{f_1}{j \times f}. \quad (8.31)$$

На рис. 8.27 показана логарифмическая амплитудно-частотная характеристика ОУ без обратной связи.

При частоте $f = f_1$ (первая точка излома) коэффициент усиления уменьшается на 3 дБ от значения $k_U(0)$.



.....
Граничная частота $f_{зр}$ определяется частотой, на которой коэффициент усиления по напряжению усилителя без обратной связи на 3дБ меньше коэффициента усиления, измеренного на низкой частоте.

Если ОУ имеет цепи внешней частотной коррекции то параметр $f_{гр}$ теряет смысл.

Зависимость коэффициента усиления с обратной связью от частоты определяется выражением:

$$k_{U,oc}(f) = \frac{k_{U,oc}(0)}{1 + \frac{k_{U,oc}(0)}{k_U(f)}}. \quad (8.32)$$

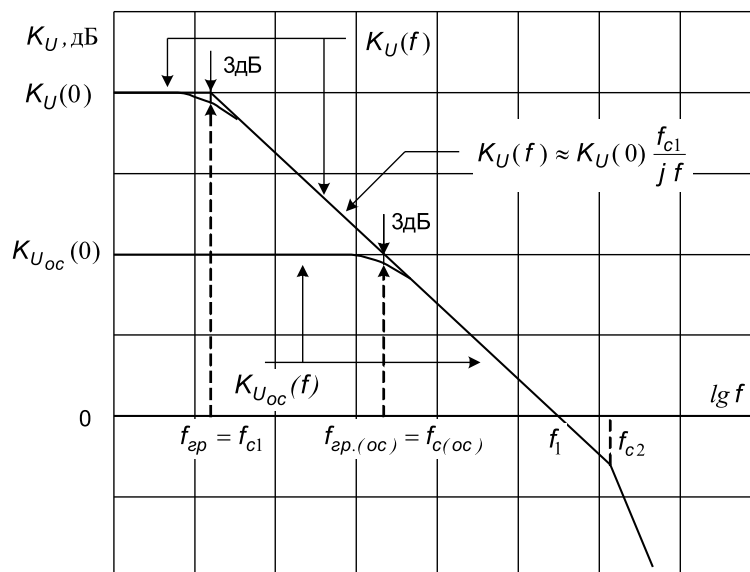


Рис. 8.27 – Логарифмическая амплитудно-частотная характеристика ОУ (диаграмма Бode)

С учётом приближенного равенства (8.31) выражение (8.32) можно записать в виде:

$$k_{U,oc}(f) = \frac{k_{U,oc}(0)}{1 + j \frac{k_{U,oc}(0)f}{f_1}} \quad (8.33)$$

Из (8.33) следует, что при $f = 0$ коэффициент усиления ОУ с обратной связью равен $k_{U,oc}(0)$, а с ростом частоты f — монотонно убывает.

Если $\frac{f \cdot k_{U,oc}(0)}{f_1} = 1$, то выражение (8.33) для $k_{U,oc}(f)$ принимает вид:

$$k_{U,oc}(f) = \frac{k_{U,oc}(0)}{1 + j \cdot 1} = \frac{k_{U,oc}(0)}{\sqrt{2} \cdot \exp\left(j \frac{\pi}{4}\right)} \quad (8.34)$$

Следовательно, коэффициент усиления ОУ с обратной связью уменьшается в $\sqrt{2}$ раз, или на 3 дБ, от значения на нулевой частоте при частоте $f = \frac{f_1}{k_{U,oc}(0)}$, которая соответствует *граничной частоте ОУ, охваченного обратной связью*, и обозначается $f_{гр. oc}$.

Выражение (8.33), определяющее зависимость коэффициента усиления с обратной связью от частоты, можно представить в виде:

$$k_{U,oc}(f) = \frac{k_{U,oc}(0)}{1 + j \frac{k_{U,oc}(0)}{|k_U|}} \quad (8.35)$$

Модуль комплексного выражения (8.35) — амплитудно-частотная характеристика ОУ с обратной связью, определяемая формулой:

$$|k_{U,oc}(f)| = \frac{k_U}{\sqrt{1 + \left(\frac{k_{U,oc}(0)}{|k_U|}\right)^2}} \quad (8.36)$$

Из (8.36) следует, что при частоте, соответствующей уменьшению коэффициента усиления ОУ без обратной связи до $k_{U,oc}(0)$, коэффициент усиления ОУ с обратной связью уменьшается в $\sqrt{2}$ раз, или на 3 дБ, от значения коэффициента усиления $k_{U,oc}(0)$ на нулевой частоте. Эту частоту принято называть *частотой сопряжения цепи обратной связи*. Из диаграммы Бode на рис. 8.27 следует, что частота сопряжения $f_{с. oc}$ цепи обратной связи соответствует точке пересечения кривой коэффициента усиления ОУ $k_U(f)$ с горизонтальной линией, приведённой от значения $k_{U,oc}(0)$.



.....
Полосой пропускания называют диапазон частот, где коэффициент усиления уменьшается не более чем на 3 дБ от своего максимального значения.

В связи с тем, что схемы ОУ не имеют ёмкостных связей между каскадами и проходных ёмкостей, ОУ относятся к классу усилителей постоянного тока, поэтому частотная характеристика остаётся плоской с приближением к нулевой частоте. Диапазон частот, где коэффициент усиления отличается от максимального значения не более чем на 3 дБ, лежит в пределах от частоты, равной нулю, до граничной частоты. Следовательно, полоса пропускания ОУ без обратной связи равна граничной частоте: $\Delta f = f_{гр} = f_{c1}$.

Поскольку кривая коэффициента усиления без обратной связи остаётся плоской до нулевой частоты, кривая коэффициента усиления с обратной связью остаётся плоской с приближением к нулевой частоте.



Выводы

Следовательно, полоса пропускания ОУ с обратной связью равна граничной частоте ОУ, охваченного обратной связью: $\Delta f_{oc} = f_{гр. oc} = f_{c. oc}$.

В силу равенства $\Delta f_{oc} = f_{c. oc} = \frac{f_1}{k_{U, oc}(0)}$ произведение коэффициента усиления с обратной связью на полосу пропускания ОУ с обратной связью равно частоте единичного усиления:

$$k_{U, oc}(0)\Delta f_{oc} = f_1. \quad (8.37)$$

Для частоты единичного усиления также справедливо равенство:

$$f_1 = k_U(0) \cdot f_{c1} = k_U(0)\Delta f. \quad (8.38)$$



Анализ выражений (8.37) и (8.38) показывает, что *переход от случая ОУ без обратной связи к случаю ОУ с обратной связью сопровождается расширением полосы пропускания, причём во сколько раз уменьшается коэффициент усиления, во столько же раз расширяется полоса пропускания.*

Следует отметить, что f_1 — это значение частоты, полученное путём экстраполяции зависимости $k_U = \frac{f_1}{j \cdot f}$ до уровня 0 дБ (единичное усиление).

В большинстве практических случаев это действительно соответствует частоте, на которой коэффициент уменьшается до единицы.

Приведённые зависимости справедливы только в том случае, если частота сопряжения f_{c2} (частота, соответствующая второй точке излома амплитудно-частотной характеристики) значительно больше граничной частоты ОУ, охваченного обратной связью. Если это условие не выполнено, то действительная полоса пропускания ОУ, охваченного обратной связью, будет значительно меньше полосы, определённой равенством (8.37).

При частотах, значительно больших $f_{c,oc}$, коэффициент усиления ОУ с обратной связью значительно меньше $k_{U,oc}(0)$, а из аналитического выражения (8.32) для $k_{U,oc}(f)$ следует, что в этом случае $k_{U,oc}(f)$ асимптотически приближается к кривой $k_U(f)$, как показано на рис. 8.27. Коэффициент усиления ОУ с обратной связью на низких частотах уменьшается на 3 дБ относительно значения $k_{U,oc}(0)$ на частоте $f_{c,oc} = \frac{f_1}{k_{U,oc}(0)}$, а затем асимптотически приближается к кривой $k_U(f)$, имеющей наклон 20 дБ/дек.

Напряжение смещения. В любом реальном ОУ существуют различные несогласованные компоненты и несбалансированные цепи, которые приводят к тому, что при нулевом входном напряжении ($U_{вх.д} = 0$) выходное напряжение не будет равно нулю. Для получения на выходе нулевого напряжения необходимо подать на вход небольшое напряжение, равное входному напряжению смещения $U_{см}$. В этом случае передаточная функция будет иметь вид: $U_{вых} = k_U(U_{вх.д} - U_{см})$.

Напряжение смещения — это небольшое постоянное напряжение, обычно порядка 1 мВ, хотя у некоторых ОУ максимальное напряжение смещения может достигать (5–10) мВ. В прецизионных ОУ максимальное напряжение смещения составляет (10–100) мкВ. Для большого числа однотипных ОУ статическое распределение напряжений смещения представляет собой симметричное распределение Гаусса с математическим ожиданием, равным нулю, и максимальным значением $U_{см}$. Полярность напряжения смещения в конкретном ОУ с равной вероятностью может быть как положительной, так и отрицательной.

Дрейф входного напряжения смещения определяется как отношение изменения входного напряжения смещения к изменению окружающей температуры (рис. 8.28):

$$\delta U_{см} = \frac{\Delta U_{см}}{\Delta T}. \quad (8.39)$$

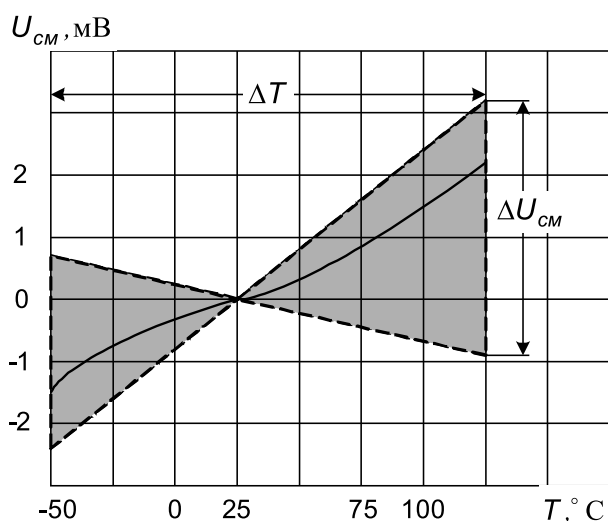


Рис. 8.28 – Типовая зависимость напряжения смещения от температуры

В технических характеристиках иногда приводится значение дрейфа, соответствующее $\Delta T = 1^\circ\text{C}$, которое, по существу, является температурным коэффициентом напряжения смещения $\text{ТКН}_{U_{см}}$. При $U_{см} = 1$ мВ, $\text{ТКН}_{U_{см}} \approx 3 \text{ мкВ}/^\circ\text{C}$.

Входной ток покоя и входной ток смещения. Входной ток покоя $I_{\text{вх}}$ равен среднеарифметическому значению двух токов покоя баз (или затворов) дифференциального входного каскада при отсутствии внешнего сигнала: $I_{\text{вх}} = \frac{I_{\text{вх.1}} + I_{\text{вх.2}}}{2}$.

Для операционного усилителя токи покоя баз (или затворов) представляют собой входные токи, необходимые для обеспечения $U_{\text{вых}} = 0$ (рис. 8.29).

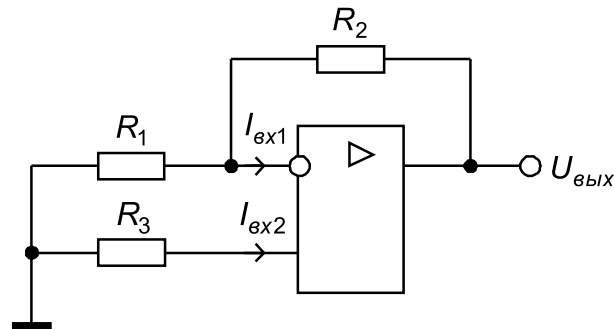


Рис. 8.29 – Входной ток смещения

Входной ток смещения $I_{\text{вх.см}}$ определяется как разность двух входных токов, при которой выходное напряжение становится равным нулю: $I_{\text{вх.см}} = I_{\text{вх.1}} - I_{\text{вх.2}}$.

Алгебраический знак тока смещения обычно не важен, он с равной вероятностью может быть любым.

В ОУ с входным каскадом на биполярных транзисторах величина тока покоя лежит в диапазоне от 10 мкА до нескольких нА. В ОУ с входным каскадом на полевых транзисторах входной ток покоя может быть порядка нескольких пА.

Для оценки влияния тока покоя и тока смещения на выходное напряжение в ОУ рассмотрим схему (рис. 8.29). Найдём выходное напряжение, используя теорему суперпозиции, то есть рассмотрим влияние на выходное напряжение токов $I_{\text{вх.1}}$ и $I_{\text{вх.2}}$ по отдельности, а затем найдём $U_{\text{вых}}$ как алгебраическую сумму результатов. Ток $I_{\text{вх.1}}$, протекая через резистор R_3 , создаёт падение напряжения $(-R_3 I_{\text{вх.1}})$, которое воздействует на неинвертирующий вход ОУ. Это напряжение, умноженное на коэффициент усиления ОУ с обратной связью $(1 + R_2/R_1)$, появится на выходе. Часть выходного напряжения — результат воздействия только тока $I_{\text{вх.2}}$ (ток $I_{\text{вх.1}}$ предполагается равным нулю) — можно определить, предположив, что напряжение на инвертирующем входе также будет равно нулю (мнимое заземление). Таким образом, падение напряжения на резисторе R_1 равно нулю и ток через резистор R_1 не течёт, а это значит, что ток $I_{\text{вх.2}}$ течёт через резистор R_2 , создавая на нём разность потенциалов $R_2 I_{\text{вх.2}}$. Поскольку потенциал инвертирующего входа равен нулю, то выходное напряжение от действия тока $I_{\text{вх.2}}$ определится выражением: $U_{\text{вых}} = R_2 I_{\text{вх.2}}$.

Полное выходное напряжение от воздействия обоих токов $I_{\text{вх.1}}$ и $I_{\text{вх.2}}$:

$$U_{\text{вых}} = I_{\text{вх.2}} R_2 - I_{\text{вх.1}} R_3 \left(1 + \frac{R_2}{R_1} \right). \quad (8.40)$$

Из выражения (8.40) следует, что выходное напряжение равно нулю, если $I_{\text{вх.2}} R_2 = I_{\text{вх.1}} R_3 \left(1 + \frac{R_2}{R_1} \right)$. Поскольку $I_{\text{вх.1}} \approx I_{\text{вх.2}}$, то

$R_2 \approx R_3 (1 + R_2/R_1)$, откуда:

$$R_3 \approx \frac{R_1 R_2}{R_1 + R_2}. \quad (8.41)$$

При выполнении условия (8.41) выходное напряжение от воздействия токов покоя и входного тока смещения определяется выражением: $U_{\text{вых}} = R_2 (I_{\text{вх.2}} - I_{\text{вх.1}}) = -R_2 I_{\text{вх.см}}$.

Обычно ток смещения лишь небольшая часть входного тока покоя, поэтому, реализуя условие (8.41), можно добиться хорошей компенсации влияния тока смещения на выходное напряжение.

Проблемы, связанные с влиянием тока смещения, будут возникать лишь в случае очень больших сопротивлений R_1 и R_2 .

Входной ток смещения зависит от температуры.

Дрейф входного тока смещения определяется как отношение изменения входного тока смещения к изменению окружающей температуры (рис. 8.30): $\delta I_{\text{вх.см}} = \frac{\Delta I_{\text{вх.см}}}{\Delta T}$.

В технических характеристиках иногда приводится значение дрейфа, соответствующее $\Delta T = 1^\circ\text{C}$, которое, по существу, является температурным коэффициентом тока смещения.

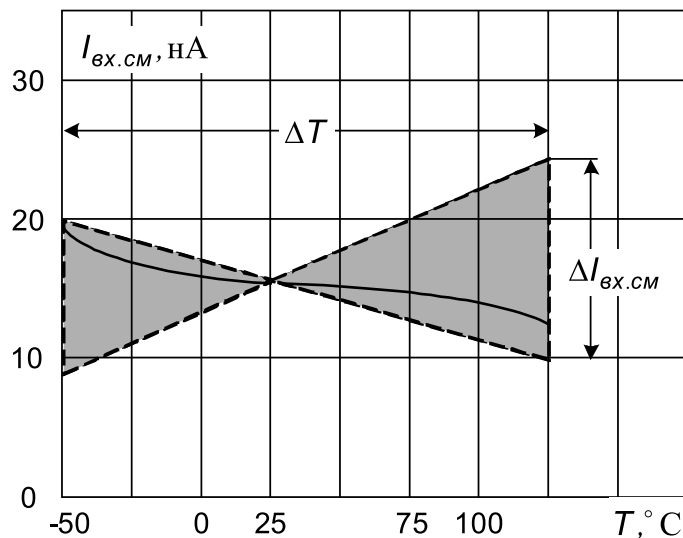


Рис. 8.30 – Типовая зависимость входного тока смещения от температуры

Коэффициент усиления синфазного сигнала. Идеальный ОУ чувствителен только к дифференциальному сигналу $U_{\text{вх.д}}$, поданному на его вход, и абсолютно не реагирует на синфазное входное напряжение, поэтому $U_{\text{вых}} = k_U U_{\text{вх.д}} = k_{U_{\text{диф}}} U_{\text{вх.д}}$, где $k_{U_{\text{диф}}}$ — коэффициент усиления дифференциального сигнала.

В реальном ОУ на выход будет проходить небольшая часть синфазного входного напряжения: $U_{\text{вх.сф}} = \frac{U_{\text{вх.н}} + U_{\text{вх.н}}}{2}$.

Выходное напряжение, которое является результатом воздействия синфазного входного напряжения, равно $U_{\text{вых}} = k_{U_{\text{сф}}} U_{\text{вх.сф}}$, где $k_{U_{\text{сф}}}$ — коэффициент усиления синфазного сигнала.



.....
 Отношение коэффициента усиления дифференциального сигнала $k_{U_{\text{диф}}}$ (или k_U) к коэффициенту усиления синфазного сигнала $k_{U_{\text{сн}}}$ называется **коэффициентом ослабления синфазного сигнала** $k_{\text{осс}}$ и обычно выражается в децибелах.

Типичное значение $k_{\text{осс}}$ для ОУ — от 80 дБ (10^4) до 120 дБ (10^6).

Входное сопротивление. Идеальный ОУ имеет бесконечное входное сопротивление $Z_{\text{вх}}$. Это означает, что к входу ОУ можно подключить источник сигнала с любым внутренним сопротивлением и это не приведёт к потере входной информации, связанной с высоким внутренним сопротивлением источника сигнала. Реальный ОУ имеет конечное входное сопротивление, которое в ряде случаев сильно влияет на работу ОУ.

Для анализа влияния входного сопротивления воспользуемся схемой (рис. 8.31) замещения входной цепи ОУ, где $Z_{\text{вх.диф}}$ — дифференциальное входное сопротивление, $Z_{\text{вх.сн}}$ — синфазное входное сопротивление.

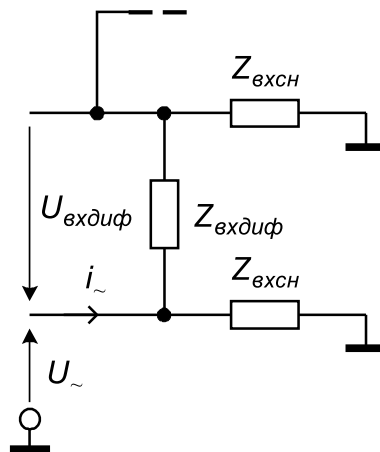


Рис. 8.31 – Эквивалентная схема для анализа входного сопротивления

Оценим влияние дифференциального входного сопротивления $Z_{\text{вх.диф}}$ при замкнутой петле обратной связи. Переменный ток i_{\sim} , втекающий через неинвертирующий вход, можно записать в виде:

$$i_{\sim} = \frac{U_{\text{вх.диф}}}{Z_{\text{вх.диф}}} = \frac{U_{\text{вых}}}{k_U} \cdot \frac{1}{Z_{\text{вх.диф}}} = \frac{U_{\sim} \cdot k_{U,\text{ос}}}{k_U \cdot Z_{\text{вх.диф}}}.$$

Решая относительно входного сопротивления петли обратной связи, получим:

$$Z'_{\text{вх.ос}} = \frac{U_{\sim}}{i_{\sim}} = \frac{k_U \cdot Z_{\text{вх.диф}}}{k_{U,\text{ос}}}. \quad (8.42)$$

Из (8.42) следует, что входное сопротивление при замкнутой петле обратной связи увеличилось относительно $Z_{\text{вх.диф}}$ в $\frac{k_U}{k_{U,\text{ос}}}$ раз по сравнению с входным сопротивлением при разомкнутой петле обратной связи.

Сопротивление $Z_{\text{вх. диф}}$ при разомкнутой обратной связи может принимать значения от 100 кОм до нескольких ГОм у ОУ с МОП-транзисторами на входе. Такие большие значения сопротивления $Z_{\text{вх. диф}}$ в сочетании с большим значением $k_U/k_{U, \text{ос}}$ даёт большое входное сопротивление $Z'_{\text{вх. ос}}$ петли обратной связи, а такое входное дифференциальное сопротивление практически не нагружает источник сигнала.

Выходное сопротивление. Идеальный ОУ работает как источник напряжения $K_U U_{\text{вх. диф}}$ с нулевым выходным сопротивлением. В этом случае, выходное напряжение не зависит от сопротивления нагрузки Z_n . Любой реальный ОУ имеет отличное от нуля выходное сопротивление, поэтому выходное напряжение и, следовательно, коэффициент усиления с обратной связью зависят от сопротивления нагрузки.

Выходное сопротивление ОУ без обратной связи обычно составляет (10–100) Ом, но в связи с тем, что $k_{U, \text{ос}}$, как правило, много меньше k_U , выходное сопротивление при замкнутой обратной связи уменьшается до нескольких мОм.

Диапазон синфазной составляющей входного напряжения $U_{\text{вх. сн. max}}$ определяет границы области, в пределах которой изменения этой составляющей входного напряжения не вызовут отклонения параметров ОУ от заданных. Приводимые в технических характеристиках максимальные положительные и отрицательные значения этого напряжения всегда меньше напряжений источников питания, и для современных ОУ эта разница не превышает (1–3) В.

Диапазон дифференциальной составляющей входного напряжения $U_{\text{вх. диф. max}}$ определяет максимальную дифференциальную составляющую входного напряжения, которое может быть приложено между входами ОУ, не вызывая его выхода из рабочего состояния. Диапазон $U_{\text{вх. диф. max}}$ зависит от напряжения пробоя переходов база-эмиттер транзисторов входного дифференциального каскада. Для защиты цепей могут применяться последовательно включённые внешние сопротивления, которые в случае достижения входного напряжения $U_{\text{вх. диф. max}}$ ограничивают входной ток на уровне единиц миллиампер.

Диапазон выходного напряжения $U_{\text{вых. max}}$ — диапазон значений выходного напряжения (между выходом и общим узлом ОУ), в котором параметры ОУ, определяемые малым сигналом, лежат в гарантированных пределах.

В современных ОУ, использующих двухтактные выходные каскады, амплитуды положительных и отрицательных импульсов обычно равны и меньше не более чем на (1–2) В напряжений питания $+U_{\text{ип}}$, $-U_{\text{ип}}$.

Выходной ток $I_{\text{вых. max}}$ представляет собой предельное амплитудное значение выходного тока (положительное или отрицательное) при оговоренном выходном напряжении, не вызывающее необратимые изменения в ОУ.

Большинство ОУ предназначены для работы с двухполярным источником питания и имеют схему двухстороннего ограничения как максимального отрицательного тока $I_{\text{вых. max}}^-$, так и максимального положительного тока $I_{\text{вых. max}}^+$. На практике эти токи примерно одинаковы и имеют величину (20–25) мА.

Время установления выходного напряжения $t_{\text{уст}}$ — время от подачи на вход импульса напряжения прямоугольной формы до момента последнего вхождения выходного напряжения в зону заданной погрешности (рис. 8.32). Схема измерения $t_{\text{уст}}$ приведена на рис. 8.33. Обычно время установления нормируется для зоны

заданной погрешности $\sigma = 1\%$; $0,1\%$ и (или) $0,01\%$ при максимальной амплитуде входного импульса для данного типа ОУ.

Максимальная скорость нарастания выходного напряжения $V_{U_{\text{вых. max}}}$ — наибольшая скорость изменения выходного напряжения ОУ при воздействии импульса максимального входного напряжения прямоугольной формы (рис. 8.32). Определяется как отношение приращения выходного напряжения к времени $t_{\text{нар}}$, за которое произошло это приращение $\frac{dU_{\text{вых}}}{dt}$. Максимальная скорость нарастания лежит в пределах от десятых долей В/мкс (прецизионные ОУ) до сотен В/мкс (быстродействующие ОУ).

Для передачи без искажений синусоидального сигнала необходимо выбирать ОУ из следующего условия: $\left(\frac{dU_{\text{вых}}}{dt}\right)_{\text{max}} < V_{U_{\text{вых. max}}}$, то есть $U \cdot 2\pi f < V_{U_{\text{вых. max}}}$, где U_m и f — амплитуда и частота синусоидального сигнала.

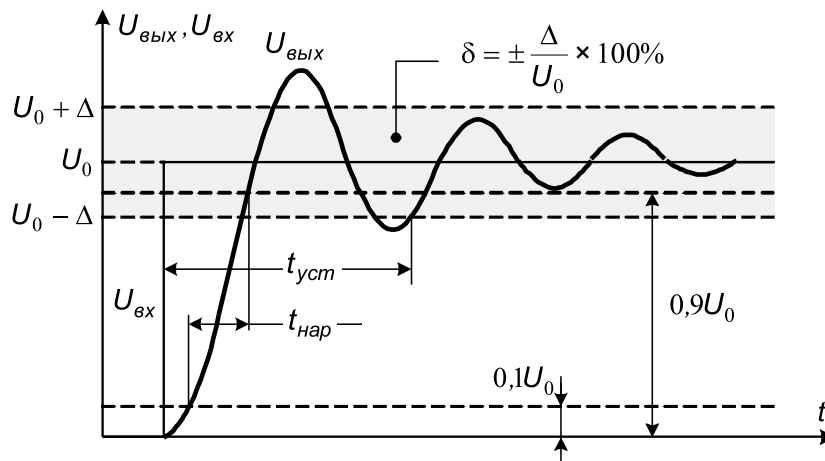


Рис. 8.32 – Время установления, время нарастания и скорость нарастания выходного напряжения операционного усилителя (зона погрешности дана в увеличенном, по отношению к сигналу, масштабе)

Время восстановления $t_{\text{в}}$. Если ОУ находится в режиме насыщения под действием избыточного входного сигнала, то он возвращается в линейный режим не сразу после снятия этого сигнала. Время восстановления — время с момента снятия скачком входного сигнала перегрузки до момента последнего вхождения выходного напряжения в зону погрешности, заданную относительно идеального значения (рис. 8.34).

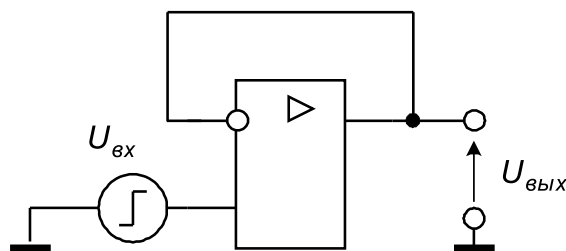


Рис. 8.33 – Схема измерения времени установления, скорости нарастания, времени восстановления выходного напряжения ОУ

Несмотря на то, что время восстановления очень важный параметр, этот параметр часто не указывается в технических характеристиках, и поэтому пользователь должен определять его эмпирически. Необходимо помнить, что время восстановления, необходимое для выхода из положительного насыщения $U_{\text{вых. max}}^+$, может существенно отличаться от времени восстановления, необходимого для выхода из отрицательного насыщения $U_{\text{вых. max}}^-$.

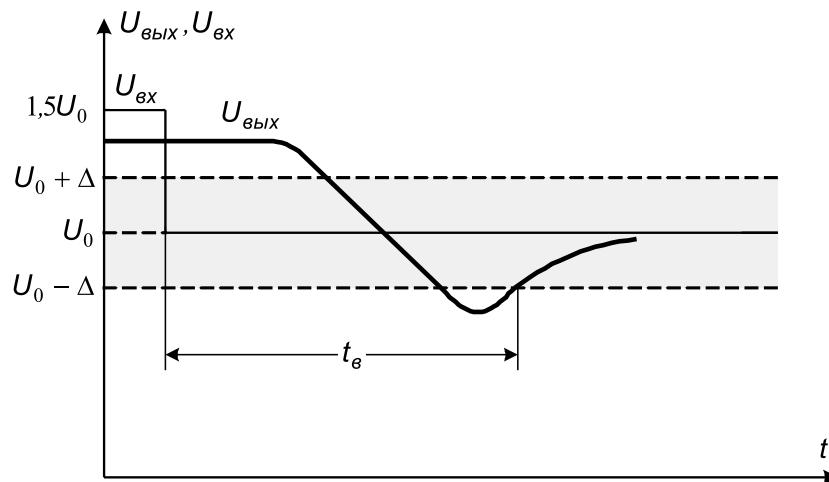
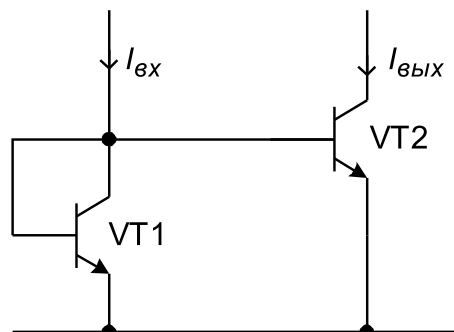


Рис. 8.34 – Время восстановления выходного напряжения

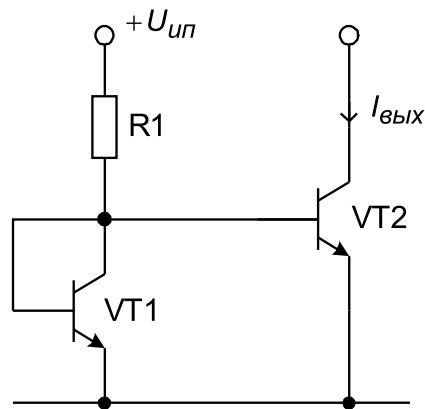


Контрольные вопросы по главе 8

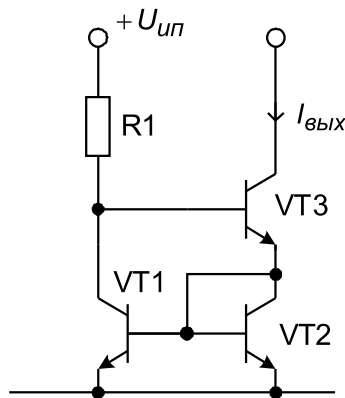
- 1) Определить выходной ток интегрального источника тока, управляемого током, если задающий ток $I_{\text{вх}} = 1 \text{ мА}$, а коэффициент передачи тока базы транзисторов $\beta = 30$:



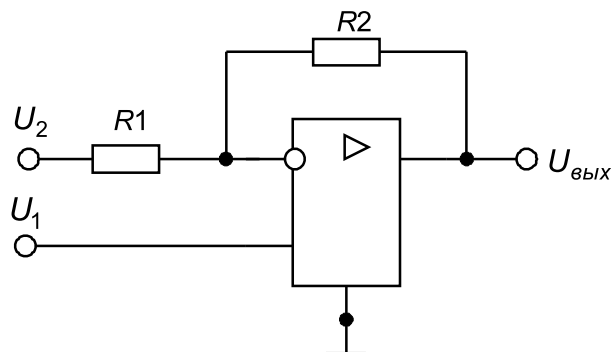
- 2) Определить сопротивление резистора, обеспечивающее выходной ток источника тока $I_{\text{вых}} \approx 1 \text{ мА}$, если коэффициент передачи тока базы транзисторов $\beta = 30$, напряжение источника питания $U_{\text{пит}} = 15 \text{ В}$, а напряжение на прямосмещенном эмиттерном переходе $U_{\text{бэ}} = 0,7 \text{ В}$:



- 3) Определить минимально допустимое значение выходного тока, если коэффициент передачи тока базы транзисторов $\beta = 30$, напряжение источника питания $U_{уп} = 15$ В, напряжение на прямосмещенном эмиттерном переходе $U_{бэ} = 0,7$ В, а максимально допустимое значение сопротивления резистора ограничено величиной $R_{1,max} = 50$ кОм:



- 4) Определить выходное напряжение схемы, если $U_1 = 2$ В, $U_2 = 1$ В, $R_1 = 10$ кОм, $R_2 = 47$ кОм, коэффициент усиления операционного усилителя $k_U = 10^4$:



- 5) Определить коэффициент усиления операционного усилителя на частоте 10 кГц, если частота единичного усиления составляет $f_1 = 1$ МГц, а частоты сопряжения $f_{c1} = 10$ Гц, $f_{c2} = 3$ МГц.

ЗАКЛЮЧЕНИЕ

История развития микроэлектроники сопровождается постоянным поиском физических и технологических принципов создания альтернативной элементной базы. К настоящему времени достигнуты значительные успехи в области функциональной электроники, одноэлектроники, оптоэлектроники, фотоники, квантовой электроники, биоэлектроники и других областях. В то же время ни по одному из перечисленных направлений не создано технологической базы, обеспечивающей экономически конкурентное производство высоконадежной элементной базы.

В настоящее время полупроводниковая электроника и полупроводниковые технологии настолько развиты, в них ежегодно делаются такие капиталовложения, что производительность микросхем каждые два года удваивается, и всякие попытки конкуренции с кремниевой индустрией, по мнению специалистов, обречены на провал. Вот почему даже такие новые области, как фотоника и спинтроника, отказавшись от использования электрического заряда как носителя информации, тем не менее не отказываются от полупроводников как материальной основы или, по крайней мере, борются за то, чтобы сделать свои устройства совместимыми с традиционными полупроводниковыми изделиями интегральной микроэлектроники.

Расширение функциональных возможностей интегральных микроэлектронных изделий в настоящее время обеспечивается новой тенденцией интегральной микроэлектроники, которая заключается в объединении нескольких функционально различных интегральных схем на одном кристалле («систем на кристалле», system-on-chip, SoC). Другой вариант интеграции сводится к объединению нескольких различных кристаллов интегральных схем в одном корпусе («систем в корпусе», system-in-package, SiP), что позволяет с помощью одного устройства микроэлектроники решать целый комплекс задач.

ЛИТЕРАТУРА

- [1] Алексенко А. Г. Основы микросхемотехники / А. Г. Алексенко. — М. : ЮНИ-МЕДИАСТАЙЛ, 2009. — 448 с. — ISBN 978-5-94774-002-8.
- [2] Гатчин Ю. А. Введение в микроэлектронику: учеб. пособие / Ю. А. Гатчин [и др.]. — СПб : СПбГУ ИТМО, 2010. — 114 с.
- [3] Ефимов И. Е. Основы микроэлектроники : учеб. пособие для вузов / И. Е. Ефимов, И. Я. Козырь. — М. : Лань, 2008. — 384 с.
- [4] Игнатов А. Н. Микросхемотехника и наноэлектроника : учеб. пособие / А. Н. Игнатов. — СПб : Лань, 2011. — 528 с. — ISBN 978-5-8114-1161-0.
- [5] Легостаев Н. С. Твердотельная электроника : учеб. пособие / Н. С. Легостаев, П. Е. Троян, К. В. Четвергов. — Томск : Томск. гос. ун-т систем упр. и радиоэлектроники, 2007. — 476 с. — ISBN 978-5-86889-422-0.
- [6] Преснухин Л. Н. Расчет элементов цифровых устройств : учеб. пособие / Л. Н. Преснухин, Н. В. Воробьев, А. А. Шишкевич; под ред. Л. Н. Преснухина. — 2-е изд., перераб. и доп. — М. : Высш. шк., 1991. — 526 с. — ISBN 5-06-001763-X.
- [7] Степаненко И. П. Основы микроэлектроники : учеб. пособие для вузов / И. П. Степаненко. — 2-е изд., перераб. и доп. — М. : Лаборатория Базовых Знаний, 2004. — 488 с. : ил. — ISBN 5-93208-045-0.
- [8] Щука А. А. Электроника / учеб. пособие / под ред. проф. А. С. Сигова. — СПб. : БХВ-Петербург, 2006. — 800 с., — ISBN 5-94157-461-4.

Приложение А

ОТВЕТЫ НА КОНТРОЛЬНЫЕ ВОПРОСЫ ПО ГЛАВАМ

Глава 1. Предмет микроэлектроники

- 1) Ответ: увеличение сопротивлений интегральных резисторов и емкостей интегральных конденсаторов сопровождается увеличением требуемой площади кристаллов, что противоречит требованию микроминиатюризации микроэлектронной аппаратуры.
- 2) Ответ: процесс схемотехнического проектирования интегральных микросхем включает стадии структурного проектирования и схемного проектирования микросхем.
- 3) Ответ: микросхемы аналого-цифровых преобразователей относятся к аналоговым интегральным микросхемам, поскольку в виде цифровых кодов представлены только их выходные сигналы.
- 4) Ответ: используется отрицательная логика.
- 5) Ответ: 0,3.

Глава 2. Характеристики и параметры цифровых интегральных микросхем

- 1) Ответ: 2.
- 2) Ответ: 1,6 В.
- 3) Ответ: 0,5.
- 4) Ответ: 19 нс.
- 5) Ответ: 12 мА.

Глава 3. Математический аппарат цифровой микроэлектроники

- 1) Ответ: 00101100 и 11010100.
- 2) Ответ: 11100101.
- 3) Ответ: 00100110.
- 4) Ответ:

x_1	x_2	x_3	$x_1 \oplus x_2 \oplus x_3$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

- 5) Ответ: 16.
- 6) Ответ: 4,6,14.
- 7) Ответ:

		x_2		
	1	1		
1	1	1	1	x_1
		x_3		

- 8) Ответ: $x_1 + x_3$.
- 9) Ответ: $x_2x_4 + \bar{x}_2\bar{x}_4 = \overline{x_2 \oplus x_4}$.
- 10) Ответ: $f_{\text{СДНФ}} = \bar{x}_1\bar{x}_2x_3 + \bar{x}_1x_2\bar{x}_3 + x_1\bar{x}_2\bar{x}_3 + x_1\bar{x}_2x_3 + x_1x_2\bar{x}_3$, $f_{\text{СКНФ}} = (x_1 + x_2 + x_3)(x_1 + \bar{x}_2 + \bar{x}_3)(\bar{x}_1 + \bar{x}_2 + \bar{x}_3)$.

Глава 4. Цифровые микроэлектронные устройства комбинационного типа

- 1) Ответ: 4.
- 2) Ответ: элемент 1 реализует функцию $f = AB + \overline{AB}$, элемент 2 реализует функцию $f = A\bar{B} + \overline{AB}$.
- 3) Ответ: $f = A\bar{B} + \overline{AC}$.

4) Ответ: $f = \overline{ABC} + ABC$.

5) Ответ:

x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0
0	1	0	0	0	1	0	1

6) Ответ: 21.

7) Ответ: функция сравнения цифрового компаратора — « A больше либо равно B » ($F = A \geq B$).

8) Ответ: $y = (x_1 + x_2 + x_3)(x_1 + x_2 + \bar{x}_3)(x_1 + \bar{x}_2 + x_3)(x_1 + \bar{x}_2 + \bar{x}_3)$.

9) Ответ: $S = A \oplus B$; $P = AB$.

10) Ответ: $y_1 = p_2 + p_3$; $y_2 = p_1 + p_4$.

Глава 5. Цифровые микроэлектронные устройства последовательностного типа

1) Ответ: 0011.

2) Ответ: коэффициент пересчета счетчика $k_c = 89$.

3) Ответ: 10100101.

4) Ответ: 00001001.

5) Ответ: выход «заема», используемый для каскадного соединения микросхем счетчиков.

Глава 6. Запоминающие устройства

1) Ответ: $Y = 12288 \text{бит} = 12 \text{кбит}$.

2) Ответ: 00001100.

3) Ответ: $Y = 640 \text{бит}$.

4) Ответ: 10011100.

5) Ответ: 2048.

Глава 7. Основные схемотехнические структуры цифровой интегральной микроэлектроники

1) Ответ: $U^1 \approx 3,6 \text{В} \pm 13,9\%$.

2) Ответ: $U_{\text{пор}} \approx 1,3 \text{В}$.

3) Ответ: $U_{\text{н}}^1 \approx 2,2 \text{В}$.

4) Ответ: $U_{\text{пор}} \approx 1,05 \text{В}$.

5) Ответ: $U_{\text{пор}} = 9,5\text{В}$.

Глава 8. Основные схемотехнические структуры аналоговой интегральной микроэлектроники

1) Ответ: $I_{\text{ВЫХ}} \approx 0,94\text{мА}$.

2) Ответ: $R_1 = 13,4 \cdot 10^3\text{Ом}$.

3) Ответ: $I_{\text{ВЫХ.min}} \approx 286\text{мкА}$.

4) Ответ: $U_{\text{ВЫХ}} \approx 6,7\text{В}$.

5) Ответ: 100.

СПИСОК УСЛОВНЫХ ОБОЗНАЧЕНИЙ

$TKH_{U_{\text{вых}}}$ — температурный коэффициент выходного напряжения

$TKH_{U_{\text{см}}}$ — температурный коэффициент напряжения смещения

$A_{\text{п}}$ — работа переключения

$E_{\text{см}}$ — электродвижущая сила смещения

F — коэффициент обратной связи

f_1 — частота единичного усиления

$f_{\text{гр}}$ — граничная частота

$f_{\text{п}}$ — рабочая частота переключения

$f_{\text{с}}$ — частота сопряжения

$f_{\text{ср}}$ — частота среза

I_{0p} — остаточный ток в стоковой цепи транзистора p -типа

I_{0n} — остаточный ток в стоковой цепи транзистора n -типа

$I_{\text{вх}}$ — входной ток покоя операционного усилителя

$I_{\text{вх}}^0$ — входной ток логического нуля

$I_{\text{вх}}^1$ — входной ток логической единицы

$I_{\text{вх.см}}$ — входной ток смещения операционного усилителя

$I_{\text{вых}}^0$ — выходной ток логического нуля

$I_{\text{вых}}^1$ — выходной ток логической единицы

$I_{\text{вых.мах}}$ — выходной ток операционного усилителя

$I_{\text{с.нач}}$ — начальный ток стока полевого транзистора с управляющим p - n -переходом

I_T — обратный ток коллектора биполярного транзистора

$k_{\text{дел}}$ — коэффициент деления частоты

- k_k — коэффициент компонентной интеграции
- $k_{\text{нас}}$ — коэффициент насыщения биполярного транзистора
- $k_{\text{об}}$ — коэффициент объединения по входу логического элемента
- $k_{\text{об.и}}$ — коэффициент объединения по входу И логического элемента
- $k_{\text{об.или}}$ — коэффициент объединения по входу ИЛИ логического элемента
- $k_{\text{осс}}$ — коэффициент ослабления синфазного сигнала операционного усилителя
- $k_{\text{раз}}$ — коэффициент разветвления по выходу логического элемента (нагрузочная способность)
- $k_{\text{раз}}^1$ — коэффициент разветвления выключенного логического элемента
- $k_{\text{раз}}^0$ — коэффициент разветвления включенного логического элемента
- $k_{\text{сч}}$ — коэффициент пересчета (модуль счета) счетчика
- $k_{\text{ф}}$ — компонент функциональной интеграции
- $k_{\text{экв}}$ — удельная крутизна эквивалентного транзистора основного логического элемента КМОП
- k_n — удельная крутизна МДП-транзистора n -типа
- k_p — удельная крутизна МДП-транзистора p -типа
- k_U — коэффициент усиления операционного усилителя по напряжению
- $k_U(0)$ — коэффициент усиления по напряжению операционного усилителя без обратной связи на нулевой частоте
- $k_{U,\text{ос}}$ — коэффициент усиления по напряжению операционного усилителя с обратной связью
- $k_{U,\text{сн}}$ — коэффициент усиления синфазного сигнала операционного усилителя
- M — информационная емкость запоминающего устройства
- m_i — минтерм
- M_i — макстерм
- N_k — общее число элементов и компонентов, расположенных на кристалле
- N_3 — количество логических элементов И-НЕ либо ИЛИ-НЕ, расположенных на кристалле микросхемы
- $P_{\text{п}}^0$ — мощность потребления логического элемента в состоянии логического нуля
- $P_{\text{п}}^1$ — мощность потребления логического элемента в состоянии логической единицы
- $P_{\text{п.ср}}$ — средняя мощность потребления логического элемента
- $Q_{\text{сч.кон}}$ — конечное состояние счетчика
- $Q_{\text{сч.нач}}$ — начальное состояние счетчика

- $R_{ут.n}$ — сопротивление утечки между стоком и истоком транзистора n - типа
- $R_{ут.p}$ — сопротивление утечки между стоком и истоком транзистора p - типа
- $t^{1,0}$ — время перехода на выходе логического элемента из состояния логической единицы в состояние логического нуля
- $t^{0,1}$ — время перехода на выходе логического элемента из состояния логического нуля в состояние логической единицы
- t_v — время восстановления операционного усилителя
- $t_{зд}^{1,0}$ — время задержки включения логического элемента
- $t_{зд}^{0,1}$ — время задержки выключения логического элемента
- $t_{зд.p}^{1,0}$ — время задержки распространения сигнала при включении логического элемента
- $t_{зд.p}^{0,1}$ — время задержки распространения сигнала при выключении логического элемента
- $t_{зд.p.ср}$ — среднее время задержки распространения сигнала
- $t_{уст}$ — время установления выходного напряжения операционного усилителя
- U^0 — уровень напряжения логического нуля
- U^1 — уровень напряжения логической единицы
- U^* — падение напряжения на прямосмещенном $p - n$ -переходе
- $U_{вх.диф.мах}$ — диапазон дифференциальной составляющей входного напряжения операционного усилителя
- $U_{вх.сн.мах}$ — диапазон синфазной составляющей входного напряжения операционного усилителя
- $U_{вых.пор}^1$ — значение выходного порогового напряжения логической единицы
- $U_{вых.пор}^0$ — значение выходного порогового напряжения логического нуля
- $U_{вых.мах}$ — диапазон выходного напряжения операционного усилителя
- $U_{диф}$ — дифференциальное входное напряжение дифференциального усилителя
- $U_{ип}$ — напряжение источника питания
- $U_{ост.мэт}$ — остаточное напряжение на насыщенном многоэмиттерном транзисторе
- $U_{отс}$ — напряжение отсечки полевого транзистора с управляющим $p-n$ -переходом
- $U_{п}^+$ — запас помехоустойчивости по уровню логического нуля
- $U_{п}^-$ — запас помехоустойчивости по уровню логической единицы
- $U_{п}^0$ — помехозащищенность по уровню логического нуля
- $U_{п}^1$ — помехозащищенность по уровню логической единицы

- $U_{\text{пор}}$ — пороговое напряжение логического элемента
- $U_{\text{пор},n}$ — пороговое напряжение МДП-транзистора n -типа
- $U_{\text{пор},p}$ — пороговое напряжение МДП-транзистора p -типа
- $U_{\text{см}}$ — напряжение смещения операционного усилителя
- $U_{\text{сн}}$ — синфазное входное напряжение дифференциального усилителя
- $U_{\text{ш}}^*$ — падение напряжения на открытом переходе Шоттки
- $V_{U_{\text{вых,max}}}$ — максимальная скорость нарастания выходного напряжения операционного усилителя
- $Z_{\text{вх,диф}}$ — дифференциальное входное сопротивление операционного усилителя
- $Z_{\text{вх,сн}}$ — синфазное входное сопротивление операционного усилителя
- β — коэффициент передачи тока базы биполярного транзистора
- β_I — инверсный коэффициент передачи тока базы биполярного транзистора
- Δf — полоса пропускания операционного усилителя без обратной связи
- $\Delta f_{\text{ос}}$ — полоса пропускания операционного усилителя с обратной связью
- ΔU — логический перепад
- $\delta I_{\text{вх,см}}$ — дрейф входного тока смещения
- $\delta U_{\text{см}}$ — дрейф входного напряжения смещения
- ϕ_T — температурный потенциал

ГЛОССАРИЙ

Аналоговая интегральная микросхема — интегральная микросхема, предназначенная для преобразования и обработки сигналов, изменяющихся по закону непрерывной функции.

Бескорпусная интегральная микросхема — кристалл интегральной микросхемы, предназначенный для монтажа в гибридную интегральную микросхему или в микросборку.

Время задержки включения — интервал времени между входным и выходным сигналами при переходе выходного напряжения от уровня логической единицы к уровню логического нуля, измеренный на уровне 0,1 логического перепада входного сигнала и 0,9 логического перепада выходного сигнала.

Время задержки выключения — интервал времени между входным и выходным сигналами при переходе выходного напряжения от уровня логического нуля к уровню логической единицы, измеренный на уровне 0,9 логического перепада входного сигнала и 0,1 логического перепада выходного сигнала.

Входная характеристика — зависимость входного тока от входного напряжения.

Выходная характеристика — зависимость выходного тока от выходного напряжения.

Гибридная интегральная микросхема — интегральная микросхема, содержащая, кроме элементов, компоненты и (или) кристаллы.

Группа типов интегральных микросхем — совокупность типов интегральных микросхем в пределах одной серии, имеющих аналогичное функциональное назначение и принцип действия, свойства которых описываются одинаковыми или близкими по составу электрическими параметрами.

Демультимплексор — комбинационное цифровое устройство, распределяющее сигналы с одного информационного входа по нескольким выходам.

Дешифратор — преобразователь двоичного кода в унитарный код.

Запоминающее устройство — цифровое устройства, предназначенное для записи, хранения и считывания информации.

Инструментальная аналоговая ИМС — это многоцелевая ИМС, осуществляющая прецизионные преобразования аналоговых сигналов с обеспечением выполнения комплекса требований по точности, частотным свойствам и электрическим параметрам.

Интегральная схема — схема, ряд элементов которой нераздельно выполнен и электрически соединен между собой таким образом, что с точки зрения требований к испытаниям, приемке, поставке и эксплуатации рассматривается как единое целое.

Интегральная микросхема — микросхема, ряд элементов которой нераздельно выполнен и электрически соединен между собой таким образом, что с точки зрения требований к испытаниям, приемке, поставке и эксплуатации рассматривается как единое целое.

Компонент интегральной микросхемы — часть интегральной микросхемы, реализующая функцию какого-либо электрорадиоэлемента, которая может быть выделена как самостоятельное изделие с точки зрения требований к испытаниям, приемке, поставке и эксплуатации.

Конституента единицы (минтерм) от L аргументов — это булева функция, которая принимает единичное значение только на одном логическом наборе значений аргументов, а на остальных $(2^L - 1)$ логических наборах обращается в нуль.

Конституента нуля (макстерм) от L аргументов — это булева функция, которая принимает нулевое значение только на одном логическом наборе значений аргументов, а на остальных $(2^L - 1)$ логических наборах обращается в единицу.

Контактная площадка интегральной микросхемы — металлизированный участок на подложке, кристалле или корпусе интегральной микросхемы, служащий для присоединения выводов компонентов и кристаллов, перемычек, а также для контроля ее электрических параметров и режимов.

Корпус интегральной микросхемы — часть конструкции интегральной микросхемы, предназначенная для ее защиты от внешних воздействий и для соединения с внешними электрическими цепями посредством выводов.

Коэффициент $k_{об}$ объединения по входу логического элемента — число входов логического элемента, по которым реализуется логическая функция, в том числе с учетом входов логических расширителей.

Коэффициент $k_{раз}$ разветвления по выходу логического элемента (нагрузочная способность) — число единичных нагрузок, которые можно одновременно подключить к выходу логического элемента.

Кристалл интегральной микросхемы — часть полупроводниковой пластины, в объеме и на поверхности которой сформированы элементы полупроводниковой интегральной микросхемы, межэлементные соединения и контактные площадки.

Микросхема — микроэлектронное устройство, рассматриваемое как единое целое, имеющее высокую плотность расположения элементов и/или компонентов, эквивалентных элементам обычной схемы.

Микроэлектроника — это область электроники, охватывающая исследование, конструирование, производство и применение микроэлектронных изделий, основной разновидностью которых являются интегральные микросхемы.

Микросхемотехника — раздел микроэлектроники, охватывающий исследования и разработку электрических и структурных схем, используемых в ИМС и электронной аппаратуре на их основе.

Мультиплексор — коммутатор с нескольких входов на один выход.

Операционный усилитель — это многоцелевая ИМС, предназначенная для построения схем с фиксированным коэффициентом и точно синтезированной передаточной функцией.

Передаточная характеристика — зависимость выходного напряжения от входного напряжения.

Пленочная интегральная микросхема — интегральная микросхема, все элементы и межэлементные соединения которой выполнены в виде пленок.

Плотность упаковки интегральной микросхемы — отношение суммы элементов интегральной микросхемы и (или) элементов, содержащихся в составе компонентов, к объему интегральной микросхемы.

Подложка интегральной микросхемы — заготовка из диэлектрического материала, предназначенная для нанесения на нее элементов гибридных интегральных микросхем, межэлементных и (или) межкомпонентных соединений, а также контактных площадок.

Полупроводниковая интегральная микросхема — интегральная микросхема, все элементы и межэлементные соединения которой выполнены в объеме или на поверхности полупроводникового материала.

Полупроводниковая пластина — заготовка из полупроводникового материала, предназначенная для изготовления полупроводниковых интегральных микросхем.

Рабочая частота переключения — максимальная частота, на которой в наилучших условиях гарантируется срабатывание счетного триггера, составленного из логических элементов данной серии.

Регистр — последовательностное цифровое устройство, предназначенное для хранения и преобразования многоразрядных двоичных чисел.

Серия интегральных микросхем — совокупность типов интегральных микросхем, обладающих конструктивной электрической и, при необходимости, информационной и программной совместимостью и предназначенных для совместного применения.

Степень интеграции интегральной микросхемы — показатель степени сложности интегральной микросхемы, характеризуемый числом содержащихся в ней элементов и (или) компонентов.

Счетчик — последовательностное цифровое устройство, циклически переходящее из одного состояния в другое под воздействием счетных (тактовых) сигналов, поступающих на его счетный (тактовый) вход.

Тип интегральной микросхемы — интегральная микросхема конкретного функционального назначения и определенного конструктивно-технологического и схемотехнического решения и имеющая свое условное обозначение.

Типономинал интегральной микросхемы — интегральная микросхема конкретного типа, отличающаяся от других микросхем того же типа одним или несколькими параметрами и требованиями к внешним воздействующим факторам.

Триггер — последовательностное цифровое устройство, которое может находиться в одном из двух устойчивых состояний и переходить из одного состояния в другое под воздействием входных сигналов.

Цифровая интегральная микросхема — интегральная микросхема, предназначенная для преобразования и обработки сигналов, изменяющихся по закону дискретной функции.

Цифровой компаратор — комбинационное цифровое устройство сравнения двух n -разрядных чисел, заданных в двоичном (двоично-десятичном) коде.

Шифратор — комбинационная схема, реализующая преобразование унитарного кода «1 из n » в m -разрядный двоичный код.

Элемент интегральной микросхемы — часть интегральной микросхемы, реализующая функцию какого-либо электрорадиоэлемента, которая выполнена нераздельно от кристалла или подложки и не может быть выделена как самостоятельное изделие с точки зрения требований к испытаниям, приемке, поставке и эксплуатации.

Учебное издание

Легостаев Николай Степанович
Четвергов Константин Владимирович

МИКРОЭЛЕКТРОНИКА

Учебное пособие

Корректор Осипова Е. А.
Компьютерная верстка Риб Е. О.

Подписано в печать 29.03.13 Формат 60x84/8.
Усл. печ. л. 20,0. Тираж 200 экз. Заказ

Издано в ООО «Эль Контент»
634029, г. Томск, ул. Кузнецова д. 11 оф. 17
Отпечатано в Томском государственном университете
систем управления и радиоэлектроники.
634050, г. Томск, пр. Ленина, 40
Тел. (3822) 533018.